

4 × 4 单元面阵自适应天线系统的设计与实现

汪万维, 胡铁乔, 夏冬

(中国民航大学天津市智能信号与图像处理重点实验室, 天津 300300)

摘要: 面阵系统所采用阵元数多, 数据量大, 对信号处理机的实时处理能力要求非常高。系统采用基于参考信号的 LMS 算法, 收敛速度较快、运算量低, 且易于硬件实现。系统平台采用目前流行的 DSP&FPGA 架构, 具有高速运算和处理能力, 解决了面阵系统对实时处理机的苛刻要求。测试结果表明, 系统能自适应地控制天线阵列方向图在用户信号方向产生高增益波束, 在干扰信号方向产生较深零陷, 并实现零误码率通信。

关键词: 面阵; LMS 算法; DSP; FPGA

中图分类号: TN911.7

文献标志码: A

文章编号: 1674-5590(2011)04-0042-04

Design and Implementation of Adaptive Antenna System for 4×4 Units Planar

WANG Wan-wei, HU Tie-qiao, XIA Dong

(Tianjin Key Lab for Advanced Signal Processing, CAUC, Tianjin 300300, China)

Abstract: The element number and the data quantity of the planar array are quite large, so it requires high performance for signal processor. LMS algorithm based on reference signal has fast convergence and low computation, also easy to be implemented. The popular DSP&FPGA architecture with high-speeding calculating and processing ability is used by the system platform, which solves the real-time demanding of the planar system. The test result shows that the system could adaptively steer the array directional pattern to form the main narrow beams with high gain in the direction of the users' signals while deeply nulling the interference signals, also achieve zero error rate communication.

Key words: planar array; LMS algorithm; DSP; FPGA

平面阵列是实际应用最广泛、最有效的天线阵列, 相对于线阵和圆阵来说, 其相对面积较小, 一次采样的数据量大, 受频率漂移的影响小, 数据失真小。但由于计算量大及模型的复杂等原因, 一般来说都用线阵模型来进行研究。随着大容量高速计算机的出现, 为科学研究提供了有效的工具, 计算量已经不再是主要问题。

自适应天线在天线阵列的基础上, 为移动通信系统设计提供空间信号处理的自由度, 从而可使系统性能得到显著提高。它利用阵列天线波束的方向性, 通过自适应波束控制, 使波束对准目标方向, 自动跟踪用户目标的移动, 使零陷对准干扰方向, 并可自适应电磁波环境的变化, 优化天线阵列方向图, 从而增强有效信号, 抑制同信道干扰和多址干扰, 达到显著提高信干比, 增强通信系统容量的目的。自适应天线技

术的核心是自适应波束形成算法, 考虑目前硬件水平和相关算法硬件实现的难易性, 本文选用基于训练序列的 LMS^[1] 算法, 实现在需要的通信方向接收信息, 同时在干扰方向形成波束零点, 实现抗干扰通信。

1 天线阵列模型及自适应算法

系统天线阵列由 $M \times M$ 个阵元组成, 几何关系如图 1 所示。以阵列左下角的阵元为参考点, x, z 轴上分别有 M 个间距为 d 的均匀线阵。另假设信号入射方位角为 φ , 俯仰角为 θ , 其中方位角表示与 x 轴的夹角, 则信号 $s(n)$ 入射到第 k 个阵元上引起的与参考阵元间的时延^[2] (下式中 c 为光速) 为

$$\tau_k = \frac{1}{c} (x_k \cos \theta \cos \varphi + z_k \sin \theta) \quad (1)$$

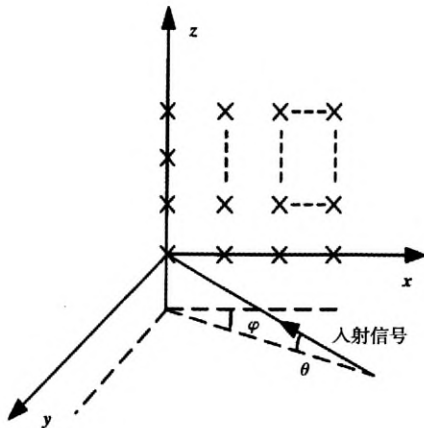


图 1 空间平面阵列几何关系

Fig.1 Geometry of planar array

阵列水平方向导向矢量为

$$\mathbf{a}_h = [1, e^{-j\psi_x}, L, e^{-j(M-1)\psi_x}]^T \quad (2)$$

竖直方向导向矢量为

$$\mathbf{a}_v = [1, e^{-j\psi_z}, L, e^{-j(M-1)\psi_z}]^T \quad (3)$$

其中, $\psi_x = \frac{2\pi}{\lambda} d \cos \varphi \cos \theta$, $\psi_z = \frac{2\pi}{\lambda} d \sin \theta$ 。将水平方向导向与竖直方向导向矢量进行遍历, 得到阵列导向矢量为

$$\mathbf{a}(\theta, \varphi) = \mathbf{a}_h \otimes \mathbf{a}_v \quad (4)$$

自适应阵列结构如图 2 所示, 设阵列输入量为

$$\mathbf{x}(n) = \mathbf{a}(\theta, \varphi)s(n) + \mathbf{e}(n) = [x_1(n), x_2(n), \dots, x_N(n)]^H + \mathbf{e}(n) \quad (5)$$

式中 $N = M \times M$, 自适应加权系数为

$$\mathbf{w} = [w_1, w_2, \dots, w_N]^H \quad (6)$$

阵列输出为

$$y(n) = \mathbf{w}^H \mathbf{x}(n) \quad (7)$$

LMS 算法基于最小均方误差准则, $r(n)$ 为期望信号, $d(n)$ 为误差, μ 为迭代步长, 其迭代公式为

$$d(n) = r(n) - y(n) \quad (8)$$

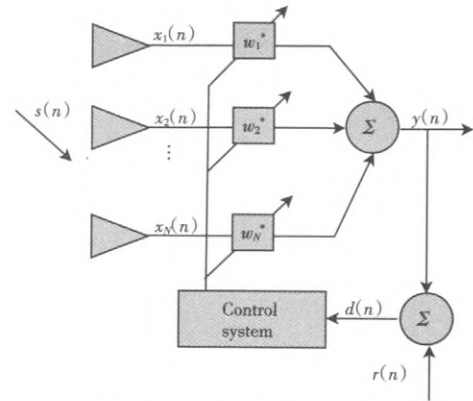


图 2 自适应阵列系统结构图

Fig.2 Structure chart of adaptive array

$$\mathbf{w}(n+1) = \mathbf{w}(n) + 2\mu d^*(n)\mathbf{x}(n) \quad (9)$$

2 系统设计

4×4 单元面阵接收 16 路射频信号经过下变频处理后到 50 MHz 中频, 再经过 40 MHz A/D 采样到 10 MHz 中频后进入搭载 Ti 公司 TMS320C6416 DSP 芯片^[3]和 Xilinx 公司 XC4VSX55 FPGA 芯片^[4]的处理板卡, 主要编程语言为 C 和 Verilog。信号处理流程如图 3 所示。

为了保证本地载波与发射频率一致, 在 FPGA 中采用二阶 Costas 环对载波频率进行跟踪, 然后进行滤波抽取。DSP 中采用 FFT 变换^[5]寻找参考信号同步头的起始位置, 再通知 FPGA 中的 LMS 算法更新权矢量, 该矢量即反映了信号及干扰的来向。16 路数据在权值作用下合成 1 路信号, 并在 FPGA 中完成解扩后送入 DSP, 在 DSP 中完成误码率检测。为了便于结果输出和系统工作状态监视, 将同步头位置、功率以及误码率通过与 DSP 相连的串口进行输出。PC 机通过此串口接收 DSP 发送过来的数据, 通过 VC 编程实现界面将结果进行实时显示。下面将对系统实现关键技术进行详细阐述。

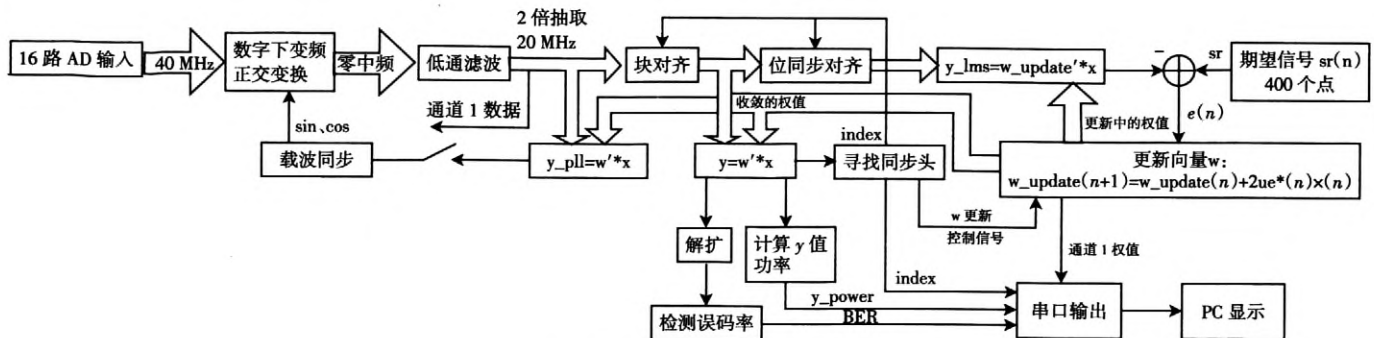


图 3 系统信号处理流程图

Fig.3 Flow chart of signal processing

1) 位同步头检测

接收数据采用扩频体制结构设计, 用户数据和参考信号采用不同扩频码, 因此它们之间的互相关很低。将接收到的数据流对训练序列求相关得大值所对应的位置即为同步头位置。由于相关计算量太大, 硬件采用 FFT 变换实现。

为了实现可靠位同步, 用变量 Flag 来标识位同步状态。Flag 为 0 时标识搜索状态, 若相关值 max 大于门限值 TH, 表明已搜索到同步头, 则将变量 Flag 置 1, 进入校核状态, 若连续 5 次在相同的位置收到训练序列, 则说明该同步头有效, Flag 置 2, 进入同步状态, 如图 4 所示, 同时通知 FPGA 调整位同步进行 LMS 算法更新权值。

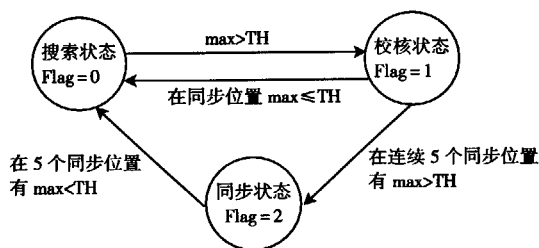


图 4 位同步状态转换示意图

Fig.4 Bit synchronous state conversion diagram

2) 载波同步

考虑环路性能和硬件实现难易性, 系统采用二阶 Costas 环^[6]。环路主要由 NCO(数控振荡器)、LPF(低通滤波器)、PD(鉴相器)及环路滤波器(LF)组成。为了降低噪声对环路系统的影响, 降低 FPGA 芯片的功耗, 本文对环路数据依次进行了 2 倍移位抽取和 4 倍抽取, 其原理结构如图 5 所示。

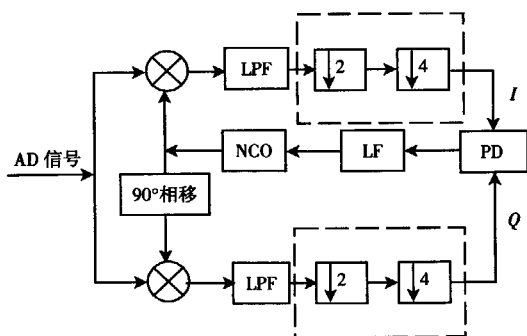


图 5 数字 Costas 环结构图

Fig.5 Structure diagram of digital Costas

本地 NCO 采用基于查找表的 DDS^[7](直接数字频率合成)设计原理, 频率控制字计算如下

$$\Delta\theta = \frac{f_{\text{out}} \cdot 2^N}{f_{\text{clk}}} \quad (10)$$

系统参考输入时钟频率 $f_{\text{clk}} = 40 \text{ MHz}$, 相位累加器

位宽 $N = 32$, 为了得到 10 MHz 中频频率, 控制字 $\Delta\theta' = 1\,073\,741\,824$, 同时 LF 输出控制字为 $\Delta\Phi$, NCO 输入控制字为 $\Delta\theta = \Delta\theta' + \Delta\Phi$. $\Delta\Phi$ 控制 NCO 的输出频率不断向减小跟踪误差的方向调整, 直至跟踪上 10 MHz 中心频率的输入信号。

3) LMS 算法实现

FPGA 收到 DSP 传送的位同步调整参数后, 实时调整 DPRAM 读地址计数器以达到数据头对齐以便进行权值更新。LMS 为递推算法, 若读取数据 $x(n)$ 的时钟选取 20 MHz , 则完成一次完整迭代估计需要 10 个时钟, 为了保证在下一个同步头到来之前计算出权值 w , 计算时钟应为读数据时钟的 10 倍, 即 200 MHz 。用如此高的频率来运算, 实现风险较大, 而且没有必要。故将数据读取时钟变为 2 MHz , 而运算时钟则采用 20 MHz , 这样在 10 个数据块时间后即可得到权值 w , 满足系统要求。

4) DSP 与 FPGA 之间数据交换

高速 64 位宽度的 EMIF-A 和 16 位宽度的 EMIF-B 扩展存储器接口, 最高吞吐能达到 $1\,064 \text{ MB/s}$ 。多达 64 个独立通道的 EDMA 数据传输控制器。DSP 的 EMIF 接口通过 64 位的数据总线与 FPGA 和 SDRAM 交换数据。系统中 FPGA 映射在 DSP 的 256M 大小的 ACE3 空间, SDRAM 映射在 ACE0 空间, NOR FLASH 映射在 BCE1 空间。为了提高工作效率, 系统采用乒乓方式传输 $y(n)$ 数据, 如图 6 所示。FPGA 中使用 1 个深度为 800、32 位宽的 DPRAM 保存 $y(n)$ 数据, 前一块(0~399)填满后, 向 DSP 发出中断 7, 则 DSP 利用 EDMA 将该块数据搬移到内容缓冲区 ya 中, 同时将 yb 中的数据传输到缓冲区 buffer 中, 准备进行其中的数据进行圆周相关。在 DSP 从 FPGA 读取第一块数据的同时, FPGA 继续向 FPGA 的第二块缓冲区(400~799)写入数据, DSP 将 yb 中的数据搬移到 buffer 中(利用 DSP_blk_move 函数)。

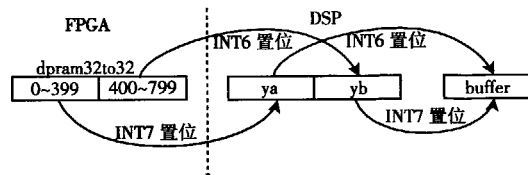


图 6 DSP 与 FPGA 采用乒乓方式交换数据示意图

Fig.6 Data exchanging diagram with ping-pong of DSP&FPGA

5) 异步串行通信

DSP 中利用片上多通道缓冲串行接口(McBSP)和增强型直接存储器存取(EDMA)实现异步串行通信。将误码率、位同步头位置、第一路权值以及合成一路

后信号功率等参数通过串口送出,以便 PC 机接收显示。异步串行通信采用起止式格式,起止为扩展为 0x0000,停止位扩展为 0xFFFF。中间数据位为 0 时扩展为 0x0000,为 1 时扩展为 0xFFFF。待发送数据帧格式为:3 字节同步头 (0xE1,0x5A,0xE8),2 字节误码率,2 字节合成功率,4 字节第一路权值实部和虚部,2 字节同步状态,共 13 字节大小,串口传输速率为 115.2 kbps。McBSP 相关寄存器的设置值如表 1 所示。

表 1 McBSP 相关寄存器的设置值

Tab.1 Register settings of McBSP

寄存器	SPCR	XCR	SRGR	PCR	SPCR
设置值	0x020 00000	0x0000	0x200 000a0	0x000 00b0c	0x024 10080

3 系统测试

1) 位同步头检测测试

参考信号与数据采用不同的扩频序列,因此它们之间的互相关很低,对收到的数据流对参考求相关求得最大值如图 7 所示:每 60 个点一个峰值,每个峰值对应一个参考信号。

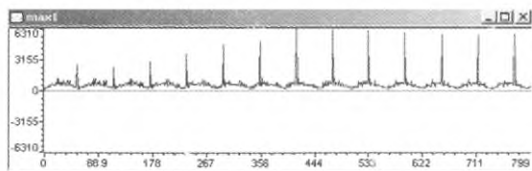


图 7 参考信号位置所对应最大值分布图

Fig.7 Maximum distribution of reference signal

2) 载波同步测试

二阶 Costas 环路锁定时,蓝线所表示的同向支路幅度远大于红线所表示的正交支路幅度,如图 8 所示。

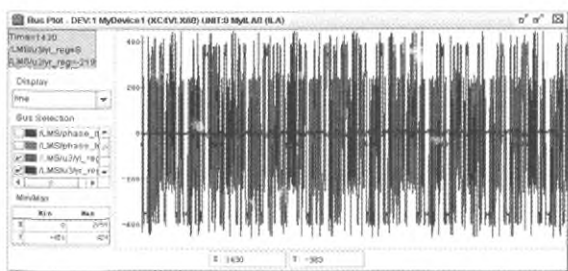


图 8 Costas 环路锁定时同向、正交两路解调输出

Fig.8 Demodulation output of Costas being locked

3) 系统性能测试

系统从波束跟踪、抗干扰、误码率等三个方面验证其性能。测试环境为装有吸波材料的暗室,发射信号天线和接收信号天线正对,距离为 7.2 m。干扰为单

载波干扰,信干比 SIR = -10 dB,与信号夹角为 30°。由于实验条件有限,目前只考虑水平方向干扰抑制情况。

跟踪测试时,算法实时更新,接收天线置于转台上,以约 1°/s 的速度从 -90°转至 90°。实时记录误码率以及系统进行算法更新后合成 1 路信号功率。

由图 9 可以看出,信号来向发生变化时,系统输出功率恒定,表明系统实时跟踪上发射信号。同时系统误码率为零,如图 10 所示。

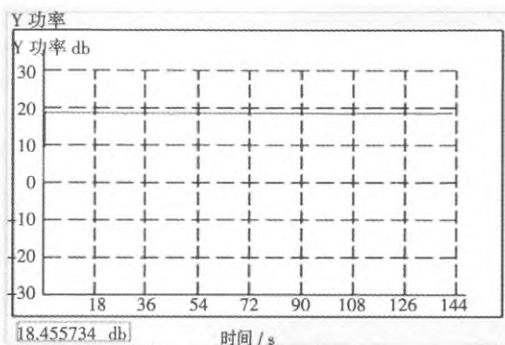


图 9 系统权值更新时功率显示

Fig.9 Power display when weight updating

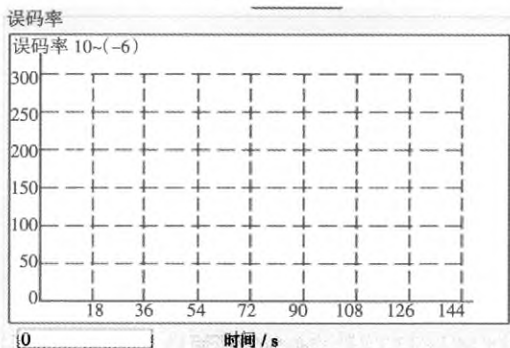


图 10 系统权值更新时误码率显示

Fig.10 Bit error ratio display when weight updating

系统抗干扰性能测试时,发射信号和干扰,接收天线正对发射信号,系统权值实时更新,通过修改 DSP 中参数设置,使得在某一时刻系统停止权值更新,保留最后时刻权值,同时去掉干扰。接收天线在转台上以约 1°/s 速度从 -90°转至 90°,观测系统输出功率。

由于实测过程中,转台转速存在一定误差,故图中横坐标会与实际信号和干扰所对应的角度会有一定的误差。在 0°左右方向形成主波束,在 -30°左右形成零陷,系统达到设计要求。

4 结语

系统为一套完整接收系统,中频信号经过数字下
(下转第 49 页)

的判断。

3 结语

本文在计算分析和模拟分析的基础上得到了如下结论:

1)通过建立摩擦桩的桩土相互作用模型,分析了桩土作用阻尼对应力波能量衰减的作用,通过计算分析,得到了在不同土质下低应变反射波法采集清晰桩底反射的桩长界限,即均质天然砂土下低应变可测桩长不超过 45 m,饱和软黏土不超过 31 m,这也是成层土中可测桩长范围值。

2)通过桩土阻尼系数和 Ls-Dyna 阻尼的对比分析,给出了二者之间的关系。

3)通过 Ansys Ls-Dyna 三维有限元分析,对模型计算得到的临界桩长进行了模拟分析,验证了计算的正确性。

本文的研究内容对于低应变反射波法在桩基检

测领域的研究具有一定的借鉴意义,该研究结果在长桩检测领域的进一步研究有一定的参考价值。本文的研究模型较为简单,忽略了一些相关因素的影响,期待进一步的完善研究。

参考文献:

- [1] 刘兴录.桩基工程与动测技术 200 问[M].北京:中国建筑工业出版社,2000:52-53.
- [2] 蔡靖,王建华,张献民.桩基完整性检测中桩身应力波衰减规律及其应用[J].水文地质工程地质,2005,32(5):73-76.
- [3] 智胜英,王建华.测定低应变桩土相互作用阻尼系数的试验方法[J].水文地质工程地质,2008,35(6):85-89.
- [4] RENDING F J. A new Generation of Foundation Pile Diagnostic Equipment [C]//Proc of the Third International Conference on the Application of Stress-wave Theory to Piles. Ottawa, 1988.
- [5] 赵振东,山本三千雄,铃木善雄.桩基低应变完整性检测的分析研究[J].地震工程与工程振动,1995,15(4):104-111.
- [6] 季勇志,王元战.基于 ANSYS LS-DYNA 的码头基桩完整性检测的数值模拟和方法研究[J].振动与冲击,2010,29(2):199-201.

(责任编辑:杨媛媛)

(上接第 45 页)

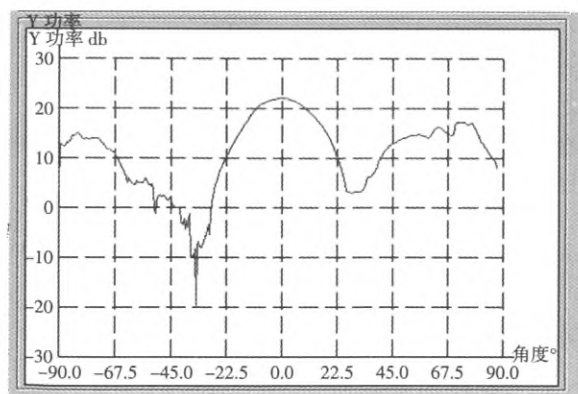


图 11 系统输出功率(水平方向图)

Fig.11 Output power of system (horizontal pattern)

变频后变为零中频信号,为了实现可靠位同步,采用 FFT 变换寻找位同步头。根据算法及 FPGA 特点,通过合理选择信号处理时钟来使系统达到最优处理性能。根据 LMS 算法特点及其硬件实现难度,系统采用目前

流行的 DSP&FPGA 架构平台,既满足系统对实时性的要求,又能实现零误码率通信。

参考文献:

- [1] 龚耀寰.自适应滤波——时域自适应滤波和智能天线[M].北京:电子工业出版社,2003.
- [2] 王永良,陈辉,彭应宁,等.空间谱估计理论与算法[M].北京:清华大学出版社,2004.
- [3] 卞红雨,纪祥春,乔钢,等.TMS320C6000 系列 DSP 的 CPU 与外设[M].北京:清华大学出版社,2007.
- [4] 薛小刚,葛毅敏.Xilinx ISE 9.X FPGA/CPLD 设计指南[M].北京:人民邮电出版社,2007.
- [5] 郑君里,应启,杨为理.信号与系统[M].北京:高等教育出版社,2003.
- [6] 张安安,杜勇,韩方景.全数字 Costas 环在 FPGA 上的设计与实现[J].电子工程师,2006(32):18-20.
- [7] Xilinx 技术手册[G]. 2005.

(责任编辑:李侃)

如何学习天线设计

天线设计理论晦涩高深, 让许多工程师望而却步, 然而实际工程或实际工作中在设计天线时却很少用到这些高深晦涩的理论。实际上, 我们只需要懂得最基本的天线和射频基础知识, 借助于 HFSS、CST 软件或者测试仪器就可以设计出工作性能良好的各类天线。

易迪拓培训(www.edatop.com)专注于微波射频和天线设计人才的培养, 推出了一系列天线设计培训视频课程。我们的视频培训课程, 化繁为简, 直观易学, 可以帮助您快速学习掌握天线设计的真谛, 让天线设计不再难...



HFSS 天线设计培训课程套装

套装包含 6 门视频课程和 1 本图书, 课程从基础讲起, 内容由浅入深, 理论介绍和实际操作讲解相结合, 全面系统的讲解了 HFSS 天线设计的全过程。是国内最全面、最专业的 HFSS 天线设计课程, 可以帮助你快速学习掌握如何使用 HFSS 软件进行天线设计, 让天线设计不再难...

课程网址: <http://www.edatop.com/peixun/hfss/122.html>

CST 天线设计视频培训课程套装

套装包含 5 门视频培训课程, 由经验丰富的专家授课, 旨在帮助您从零开始, 全面系统地学习掌握 CST 微波工作室的功能应用和使用 CST 微波工作室进行天线设计实际过程和具体操作。视频课程, 边操作边讲解, 直观易学; 购买套装同时赠送 3 个月在线答疑, 帮您解答学习中遇到的问题, 让您学习无忧。

详情浏览: <http://www.edatop.com/peixun/cst/127.html>



13.56MHz NFC/RFID 线圈天线设计培训课程套装

套装包含 4 门视频培训课程, 培训将 13.56MHz 线圈天线设计原理和仿真设计实践相结合, 全面系统地讲解了 13.56MHz 线圈天线的工作原理、设计方法、设计考量以及使用 HFSS 和 CST 仿真分析线圈天线的具体操作, 同时还介绍了 13.56MHz 线圈天线匹配电路的设计和调试。通过该套课程的学习, 可以帮助您快速学习掌握 13.56MHz 线圈天线及其匹配电路的原理、设计和调试...

详情浏览: <http://www.edatop.com/peixun/antenna/116.html>



关于易迪拓培训：

易迪拓培训(www.edatop.com)由数名来自于研发第一线的资深工程师发起成立，一直致力和专注于微波、射频、天线设计研发人才的培养；后于 2006 年整合合并微波 EDA 网(www.mweda.com)，现已发展成为国内最大的微波射频和天线设计人才培养基地，成功推出多套微波射频以及天线设计经典培训课程和 ADS、HFSS 等专业软件使用培训课程，广受客户好评；并先后与人民邮电出版社、电子工业出版社合作出版了多本专业图书，帮助数万名工程师提升了专业技术能力。客户遍布中兴通讯、研通高频、埃威航电、国人通信等多家国内知名公司，以及台湾工业技术研究院、永业科技、全一电子等多家台湾地区企业。

我们的课程优势：

- ※ 成立于 2004 年，10 多年丰富的行业经验
- ※ 一直专注于微波射频和天线设计工程师的培养，更了解该行业对人才的要求
- ※ 视频课程、既能达到了现场培训的效果，又能免除您舟车劳顿的辛苦，学习工作两不误
- ※ 经验丰富的一线资深工程师主讲，结合实际工程案例，直观、实用、易学

联系我们：

- ※ 易迪拓培训官网：<http://www.edatop.com>
- ※ 微波 EDA 网：<http://www.mweda.com>
- ※ 官方淘宝店：<http://shop36920890.taobao.com>