

文章编号:1004-9037(2009)02-0248-06

## GPS 调零天线的数字接收机阵列

姚红超<sup>1,2</sup> 王华力<sup>1</sup> 朱家喜<sup>2</sup>

(1. 解放军理工大学通信工程学院, 南京, 210007; 2. 中国人民解放军 75810 部队, 普宁, 515300)

**摘要:**研究了GPS调零天线系统数字接收机阵列的一种高效实现方案。提出采用新型的可配置时分复用FIR滤波器组,实现了多通道数字下变频处理中的采样速率转换与滤波器系数重加载,通过对GPS调零天线系统四通道数字接收机阵列的设计实现与测试分析可以得出,此方法与多通道并行重复处理的常规数字下变频方式相比,可以节约大约60%的FPGA硬件资源,并可增强系统实现的灵活性。

**关键词:**数字接收机阵列;GPS调零天线;现场可编程门阵列器件;有限冲激响应滤波器;时分复用

**中图分类号:**TN802

**文献标识码:**A

## Digital Receiver Array for GPS Nulling Antennas

Yao Hongchao<sup>1,2</sup>, Wang Huali<sup>1</sup>, Zhu Jiayi<sup>2</sup>

(1. Institute of Communications Engineering, PLA University of Science  
and Technology, Nanjing, 210007, China;  
2. PLA 75810 Unit, Puning, 515300, China)

**Abstract:** A high-efficiency implementation of digital receiver array for the GPS nulling antenna system is studied and a novel reconfigurable time-division-multiplexer FIR filter banks is presented. The filter banks can implement the sampling rate conversion and reload the filter coefficients in the digitized down-conversion (DDC) unit of multi-channel receivers. The 4-channel digital receiver array for the GPS nulling antenna system is established and tested. Compared the typical multi-channel DDCs with the structure of parallel repetitive processing, the method can save nearly 60% FPGA hardware resource and enhance the flexibility of the system design.

**Key words:** digital receiver array; GPS nulling antennas; FPGA device; FIR filter; time-division-multiplexer

## 引 言

GPS作为一种高精度的导航定位系统,已经在军事领域和民用领域得到了广泛的应用。但是,GPS接收机容易受到有意或无意的干扰,较低的干扰功率就可能导致GPS接收机不稳定或完全失效,其中最直接的原因就是GPS发射信号太微弱。采用基于软件无线电的信道化GPS数字接收机可以灵活采用时域、频域滤波处理和自适应调零天线等技术来改善GPS接收机的抗干扰性能。自适应调零天线利用先进的数字波束形成(DBF)技术和

自适应算法进行数字增益控制,并可根据信号与干扰来向的不同,自动调整接收系统内部参数使方向图主波束指向对准信号方向,零陷方向对准干扰方向,从而改变天线阵列的方向图,在干扰源方向形成零陷,达到抑制干扰的目的。此技术对多方向宽带噪声干扰源比较有效,能使GPS接收机的抗干扰能力提高30 dB左右。

GPS调零天线数字接收机阵列需要多个正交下变频通道,目前一般选择专用数字下变频芯片,如AD6654能同时对4个通道进行数字下变频处理,但其可配置性差,输出接口比较固定,不利于系统集成,常规的基于FPGA的多通道数字下变频处

基金项目:国防重点实验室基金(9140C0204010806)资助项目。

收稿日期:2007-07-05;修订日期:2008-03-18

理多采用并行重复处理,不但价格昂贵,器件资源消耗较大,而且系统灵活性及各信道时延一致性也很难满足新一代抗干扰GPS接收机软件化的设计要求<sup>[1]</sup>。FPGA器件具有运算速度快、功耗低、可配置能力强等突出特点,自适应调零天线系统对接收信号进行高速采样之后,可以利用现有的商用FPGA器件通过优化的中频数字化处理简化系统设计、提高系统的稳定性。

本文针对GPS调零天线系统的数字接收机阵列高效实现方案,提出了一种基于可配置时分复用FIR滤波器组的多通道数字下变频器结构,既节约FPGA器件的硬件资源消耗,又能实现灵活的功能可配置。多通道数字下变频器内部通过提高系统时钟速率实现硬件资源复用,同时通过采样速率转换来降低基带信号传输速度,以满足自适应调零算法

计算的实时处理要求。另外,滤波器系数重加载可保证通道间彼此独立,并可根据通道一致性要求进行数字校正,具有较强的可控性,易于在高速FPGA器件上实现。

## 1 GPS 调零天线及数字接收机结构

GPS调零天线及数字接收机的基本构成如图1所示,由天线阵和接收机单元组成,卫星信号经过接收天线阵列和射频通道后被下变频到中频(IF),模/数转换器(A/D)对IF信号采样和数字化,送给信道化数字下变频器进行采样率变换和数字正交下变频处理,变换为与信号带宽相适应的低采样率的基带正交(I/Q)数字信号。自适应处理器根据一定的自适应算法对 $N$ 个通道的下变频信号进行自适应空域处理,计算出调零权值送给加权调

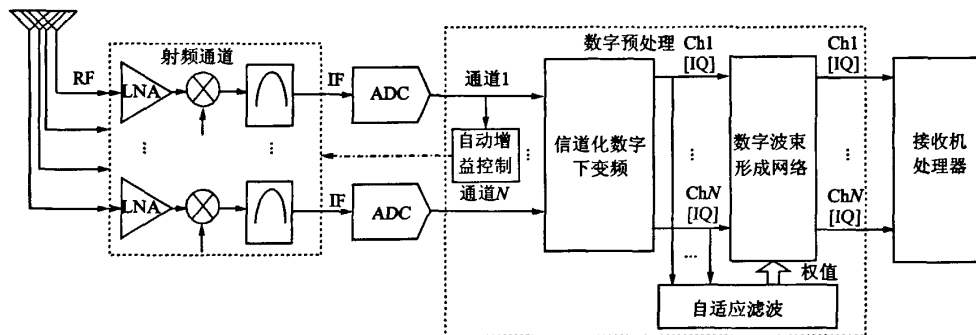


图1 GPS 调零天线及数字接收机结构

零单元,如果不要实时更新调零系数,调零权值也可预先存储在内部RAM中。加权调零后使得各阵元的增益合成相位发生变化,从而在天线方向图中产生对应于干扰源方向的零点,以增强干扰抑制效果<sup>[2]</sup>,利于后端接收机处理器完成导航跟踪处理。

应用并行多通道技术<sup>[3]</sup>,可以使一个GPS接收机同时跟踪并锁定多颗卫星,大大缩短了确定卫星PVT(位置、速度和时间)的时间。另外,数字波束形成技术在多通道幅相性能基本一致的基础上能获得额外的通道增益,提高接收机的抗干扰能力。

## 2 多通道数字下变频器

针对多阵元的宽带GPS接收机系统,其下变频器(DDC)可采用多通道复用的高效实现方案,具体结构如图2所示,其中关键技术为多通道复用可变速率FIR滤波器组的设计,根据实际需要可通过外部接口进行系数重加载和采样速率控制。基于

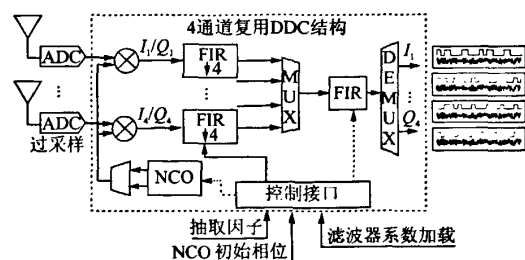


图2 4通道复用数字下变频器结构

FPGA的工作时钟一般可以达到几百兆赫兹,这种时分复用(TDM)的方式可以通过提高系统工作时钟减少系统的乘法器个数,提高系统容量。

### 2.1 抽取滤波器设计

为保证系统在上下变频时能实现多通道滤波器复用,保证基带信号工作在较低速率,满足后端调零加权实时处理要求,在下变频时需对各通道进行抽取滤波,这里以抽取为例介绍一种基于多相分

解的高效抽取滤波实现方法<sup>[4]</sup>。

设数字滤波器的冲激响应为  $h(n)$ , 它的  $Z$  变换  $H(z)$  定义为

$$H(z) = \sum_{n=-\infty}^{+\infty} h(n) \cdot z^{-n} \quad (1)$$

对式(1)可重写为

$$H(z) = \sum_{K=0}^{D-1} \sum_{n=-\infty}^{+\infty} z^{-K} \cdot h(nD + K) \cdot z^{-nD} = \sum_{K=0}^{D-1} z^{-K} \left[ \sum_{n=-\infty}^{+\infty} h(nD + K) \cdot (z^D)^{-n} \right] \quad (2)$$

令  $e_K(n) = h(nD + K)$ ,  $E_K(z) = \sum_{n=-\infty}^{+\infty} e_K(n)$

$z^{-n} = \sum_{n=-\infty}^{+\infty} h(nD + K) \cdot z^{-n}$ , 式(2)可写为

$$H(z) = \sum_{K=0}^{D-1} z^{-K} \cdot E_K(z^D) \quad (3)$$

式(3)即为数字滤波器  $H(z)$  的多相滤波结构表达式<sup>[5]</sup>, 将其应用于抽取器, 并注意到抽取器输入输出的等效关系, 即可得到抽取滤波器的多相结构(图3)。

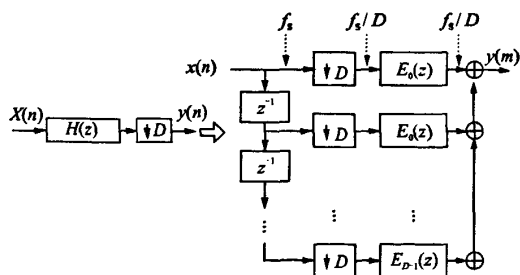


图3 抽取滤波的多相结构

具体实现时低通原型滤波器多相分解为

$$h_k(n) = h(k + nD) \quad (4)$$

式中:  $k=0, 1, \dots, D-1$ ;  $n=0, 1, \dots, P-1$ ;  $P=L/D$  为多相滤波器长度,  $L$  为低通原型滤波器长度,  $D$  为抽取因子;  $h(n)$  为低通原型滤波器的冲激响应。按式(4)进行多相分解, 则多相抽取滤波器可以表示为

$$y(n) = \sum_{k=0}^{D-1} h(k + nD) \otimes x(k + nD) = \sum_{k=0}^{D-1} \sum_{i=0}^{P-1} h(k + iD) \times x(nD - k + iD) \quad (5)$$

用矩阵形式可表示为

$$\mathbf{T} = \begin{bmatrix} x(N-M) & \dots & x(rM) & \dots & x(M) & x(0) \\ x(N-M+1) & \dots & x(rM+1) & \dots & x(M+1) & x(1) \\ x(N-M+2) & \dots & x(rM+2) & \dots & x(M+2) & x(2) \\ \vdots & \ddots & \vdots & \ddots & \vdots & \vdots \\ x(N-1) & \dots & x(rM-1) & \dots & x(M-1) & x(M-1) \end{bmatrix} \times \begin{bmatrix} h(0) & h(1) & \dots & h(r) & \dots & h(M-1) \\ h(M) & h(M+1) & \dots & h(M+r) & \dots & h(2M-1) \\ h(2M) & h(2M+1) & \dots & h(2M+r) & \dots & h(3M-1) \\ \vdots & \vdots & \ddots & \vdots & \ddots & \vdots \\ h(N-M) & h(N-M+1) & \dots & h(N-M+r) & \dots & h(N-1) \end{bmatrix} \quad (6)$$

$$y(n) = \text{tr}(\mathbf{T}) \quad (7)$$

式(6)表示了多相滤波器各通道输入的采样数据和各通道滤波器的卷积关系, 即多相抽取滤波器的输出等于矩阵  $\mathbf{T}$  的迹。

图4为基于FPGA的多相抽取滤波器实现框图, 前端的多路选择器可用基数为  $D$  的计数器实

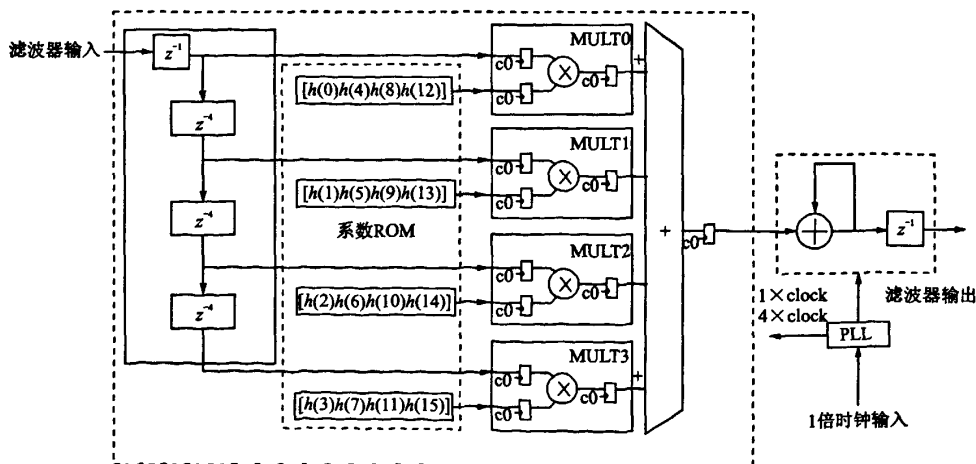


图4 16阶多相抽取滤波器实现框图

现,本框图采用了一个工作在4倍系统时钟的移位寄存器实现<sup>[6-7]</sup>。多相滤波结构能大大减小系统实现复杂度,以16阶的低通原型滤波器进行4倍抽取为例,如果采用图3的抽取滤波器直接实现,计算一个输出值需要进行 $16 \times 4$ 个时钟周期,需要 $16 \times 4 = 64$ 次乘法,而若用多相滤波结构实现,只需要 $4 \times 4 \times 1 = 16$ 次乘法。

2.2 多通道复用滤波器

为进一步节省系统资源,满足多通道数字下变频处理需要,与抽取滤波器的多相结构相似,系统采用图5结构实现多通道时分复用的FIR滤波器,工作过程如下:多通道信号首先经并串转换器把 $N$ 通道并行信号转化为单通道串行信号,缓存在移位寄存器中,移位寄存器以 $N$ 倍间隔抽取其中一个通道数据并行加载到乘累加模块(DSP block)里,同时,存储在ROM中的各通道滤波器系数以 $N$ 倍系统时

钟速率同时并行加载到DSP block的输入端,在 $N$ 倍系统时钟的第一个周期完成第一个通道滤波,在 $N$ 倍系统时钟的第二个周期,第二个通道输入数据和滤波器系数重新加载到DSP block完成第二个通道滤波,依次类推在一个系统周期内完成 $N$ 个通道滤波,并在下一个系统周期内串并转换输出。图5为一个2通道复用FIR滤波器的实现框图,其数据计算过程如表1所示。

表1 2通道复用FIR滤波器工作时序

时钟周期	各周期DSP block 输出	滤波器输出
1	$y_{I_0} = I_0 * h_4 + I_1 * h_3 + I_2 * h_2 + I_3 * h_0$	$Y_{I_0}$ 输出
2	$y_{Q_0} = Q_0 * h_4 + Q_1 * h_3 + Q_2 * h_2 + Q_3 * h_0$	$Y_{Q_0}$ 输出
3	$y_{I_1} = I_1 * h_4 + I_2 * h_3 + I_3 * h_2 + I_4 * h_0$	$Y_{I_1}$ 输出
4	$y_{Q_1} = Q_1 * h_4 + Q_2 * h_3 + Q_3 * h_2 + Q_4 * h_0$	$Y_{Q_1}$ 输出
5	$y_{I_2} = I_2 * h_4 + I_3 * h_3 + I_4 * h_2 + I_5 * h_0$	$Y_{I_2}$ 输出
6	$y_{Q_2} = Q_2 * h_4 + Q_3 * h_3 + Q_4 * h_2 + Q_5 * h_0$	$Y_{Q_2}$ 输出

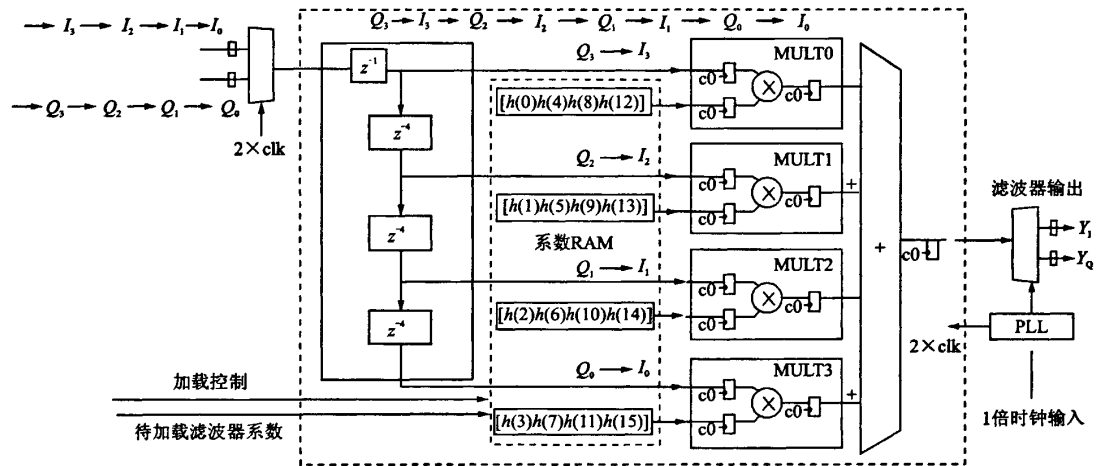


图5 2通道复用FIR滤波器的实现框图

2.3 时钟同步

在进行基于FPGA的多通道数字下变频器时,保持各信道间的时钟同步和信道间的正交独立性是系统性能好坏的关键,尤其在多通道复用变频器设计时,因时钟不同步造成的通道串扰往往会造成后端自适应滤波运算无法收敛,不能进行正确的加权调零,从而无法获取正确的导航定位信息。由此系统采用同步锁相环加同步控制逻辑产生变频器工作时需要时钟频率。

3 系统实现与测试结果

系统以GPS调零天线4通道数字接收机为例,

整个系统包括天线阵、射频通道、AD采集板和FPGA数字中频处理板以及接收机软件处理器。其中FPGA数字中频处理单元使用Altera公司的Stratix I EP2S601024C4作为FPGA芯片,通过Quartus I自带的嵌入式逻辑分析仪对工程产生数据进行记录分析,最后用Matlab软件对数据进行验证。本系统中,GPS接收机射频通道输出的中频信号频率为70 MHz,带宽20.46 MHz,采样频率50 MHz(满足带通采样定理),FIR抽取滤波器45阶,抽取因子 $D=4$ ;4通道复用FIR低通滤波器65阶,采用汉明窗并行结构。

图6是对GPS扩频信号进行带通采样和数字上下变频后的实测频谱图,依次为A/D带通后的

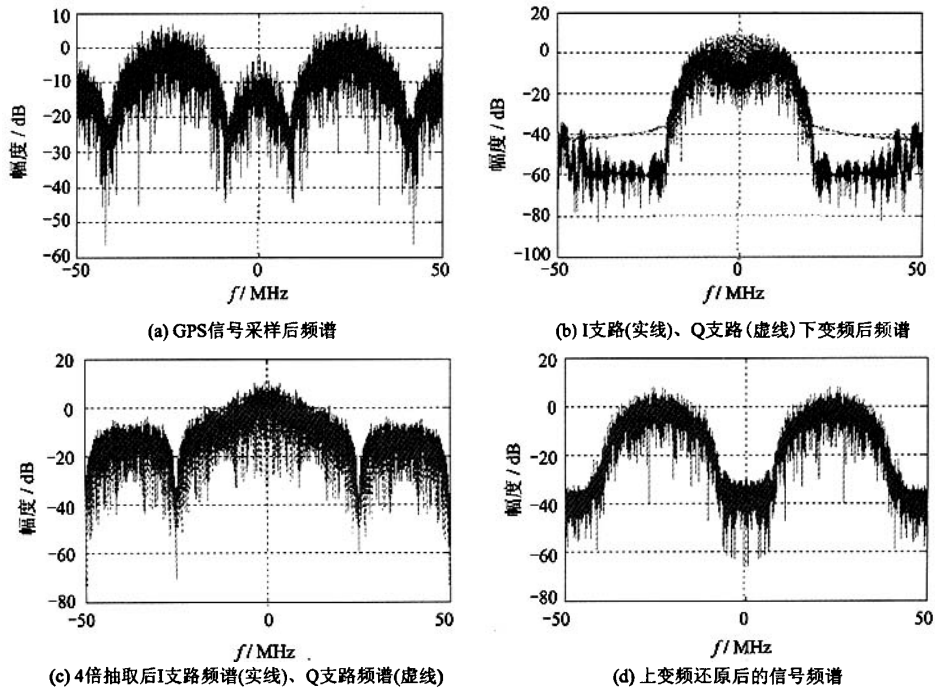


图 6 实测信号频谱图

GPS 扩频信号频谱、I 支路与 Q 支路 4 倍抽取后频谱、I 支路与 Q 支路 DDC 后频谱、DUC 后 GPS 信号频谱。从频谱中可以看出,系统正交性能很好, DUC 后能重构 DDC 前频谱,输出信号信噪比可达到 40 dB。图 7 为实测信号波形图,依次为中频采样信号波形、2 倍抽取滤波后波形、2 通道复用滤波后波形、NCO 波形以及下变频输出 I 支路波形。正如表 2 所示,在资源使用方面采用多通道复用可变速率 FIR 滤波器组结构可以大大节约系统资源,4 通道数字接收机复用情况下可以节约 60% 的系统资源。

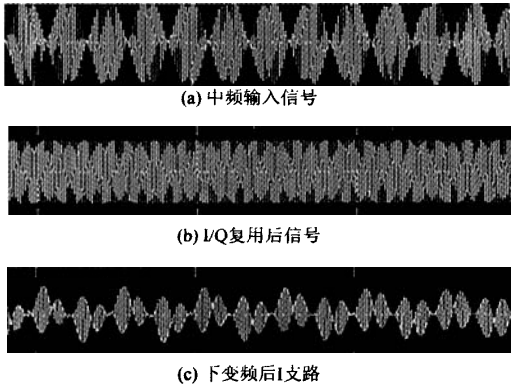


图 7 实测信号波形图

表 2 4 通道数字接收机 FPGA 部分资源消耗表

Stratix I EP2S60F1020C4	资源使用	
	不复用	4 倍复用
ALUT 总数	18 498/48 352 (38 %)	6 203/48 352 (13 %)
寄存器总数	15 662	6 714
存储器总数	873 425/2 544, 192 (34 %)	355 318/2 544, 192 (14 %)
DSP 运算单元	498/48 352 (1 %)	1 898/48 352 (4 %)

4 结束语

本文给出了一种基于 FPGA 的数字接收机阵列实现新方法,着重讨论了基于多通道复用、可变速率 FIR 滤波器组的数字下变频器的实现方案,结合具体实例分析验证了方案的可行性。该方案在多通道数字接收机设计时可以大大节省系统资源,还可以满足 GPS 调零天线数字接收机阵列对中频数字化处理灵活可配置性的要求。

参考文献:

[1] 卢昕,熊昌仑,郑建生,等. 基于 DSP 技术的 GPS 接收机天线自适应抗干扰模块的设计与实现[J]. 武汉大学学报, 2005, 30(7): 654-657.  
[2] Brown A, Gerein N. Test results from a digital P

- (Y) code beamsteering receiver for multipath minimization [C]//Proceedings of ION 57th Annual Meeting. Albuquerque, NM: [s. n.], 2001: 872-878.
- [3] Proakis J G, Manolakis D G. Digital signal processing: principles, algorithms, and applications [M]. Fourth edition. [S. l.]: Pearson Education Inc, Prentice Hall, 2006: 790-796.
- [4] Vaidyanathan P P. Multirate digital filters, filter banks, polyphase networks, and applications; a Tutorial[J]. Proc IEEE, 1990, 78 (1): 56-93.
- [5] Vaidyanathan P P. Multirate systems and filter banks [M]. Englewood Cliffs, NJ: Prentice Hall, 1993.
- [6] Altera Corporation. Accelerating WiMAX DUC & DDC system designs[EB/OL]. <http://www.altera.com>, 2006-05.
- [7] Altera Corporation. Implementing high performance DSP functions in stratix & stratix GX fevices [EB/OL]. <http://www.altera.com>, 2007-04.
- 作者简介:姚红超(1980-),男,硕士,研究方向:统计与阵列信号处理,E-mail:chaochaoyao@yahoo.com.cn;王华力(1967-),男,教授,研究方向:阵列信号处理、空间信息对抗;朱家喜(1966-),男,高级工程师,研究方向:导弹自动化测试。

## 如何学习天线设计

天线设计理论晦涩高深, 让许多工程师望而却步, 然而实际工程或实际工作中在设计天线时却很少用到这些高深晦涩的理论。实际上, 我们只需要懂得最基本的天线和射频基础知识, 借助于 HFSS、CST 软件或者测试仪器就可以设计出工作性能良好的各类天线。

易迪拓培训([www.edatop.com](http://www.edatop.com))专注于微波射频和天线设计人才的培养, 推出了一系列天线设计培训视频课程。我们的视频培训课程, 化繁为简, 直观易学, 可以帮助您快速学习掌握天线设计的真谛, 让天线设计不再难...



### HFSS 天线设计培训课程套装

套装包含 6 门视频课程和 1 本图书, 课程从基础讲起, 内容由浅入深, 理论介绍和实际操作讲解相结合, 全面系统的讲解了 HFSS 天线设计的全过程。是国内最全面、最专业的 HFSS 天线设计课程, 可以帮助你快速学习掌握如何使用 HFSS 软件进行天线设计, 让天线设计不再难...

课程网址: <http://www.edatop.com/peixun/hfss/122.html>

### CST 天线设计视频培训课程套装

套装包含 5 门视频培训课程, 由经验丰富的专家授课, 旨在帮助您从零开始, 全面系统地学习掌握 CST 微波工作室的功能应用和使用 CST 微波工作室进行天线设计实际过程和具体操作。视频课程, 边操作边讲解, 直观易学; 购买套装同时赠送 3 个月在线答疑, 帮您解答学习中遇到的问题, 让您学习无忧。

详情浏览: <http://www.edatop.com/peixun/cst/127.html>



### 13.56MHz NFC/RFID 线圈天线设计培训课程套装

套装包含 4 门视频培训课程, 培训将 13.56MHz 线圈天线设计原理和仿真设计实践相结合, 全面系统地讲解了 13.56MHz 线圈天线的工作原理、设计方法、设计考量以及使用 HFSS 和 CST 仿真分析线圈天线的具体操作, 同时还介绍了 13.56MHz 线圈天线匹配电路的设计和调试。通过该套课程的学习, 可以帮助您快速学习掌握 13.56MHz 线圈天线及其匹配电路的原理、设计和调试...

详情浏览: <http://www.edatop.com/peixun/antenna/116.html>



## 关于易迪拓培训:

易迪拓培训([www.edatop.com](http://www.edatop.com))由数名来自于研发第一线的资深工程师发起成立,一直致力和专注于微波、射频、天线设计研发人才的培养;后于 2006 年整合合并微波 EDA 网([www.mweda.com](http://www.mweda.com)),现已发展成为国内最大的微波射频和天线设计人才培养基地,成功推出多套微波射频以及天线设计经典培训课程和 ADS、HFSS 等专业软件使用培训课程,广受客户好评;并先后与人民邮电出版社、电子工业出版社合作出版了多本专业图书,帮助数万名工程师提升了专业技术能力。客户遍布中兴通讯、研通高频、埃威航电、国人通信等多家国内知名公司,以及台湾工业技术研究院、永业科技、全一电子等多家台湾地区企业。

## 我们的课程优势:

- ※ 成立于 2004 年, 10 多年丰富的行业经验
- ※ 一直专注于微波射频和天线设计工程师的培养,更了解该行业对人才的要求
- ※ 视频课程、既能达到了现场培训的效果,又能免除您舟车劳顿的辛苦,学习工作两不误
- ※ 经验丰富的一线资深工程师主讲,结合实际工程案例,直观、实用、易学

## 联系我们:

- ※ 易迪拓培训官网: <http://www.edatop.com>
- ※ 微波 EDA 网: <http://www.mweda.com>
- ※ 官方淘宝店: <http://shop36920890.taobao.com>