

2、高速电子设计的板级信号完整性处理

高速数字系统的振铃和串扰问题一直是一个令人头疼的问题，特别是在今天，越来越多的 VLSI 芯片工作在 100MHz 的频率以上，450MHz 的 CPU 也将广泛应用，信号的边沿越来越陡（已达到 ps 级），这些高速器件性能的增加也给高速系统设计带来了困难。同时，高速系统的体积不断减小使得印制板的密度迅速提高。比较现在新的 PC 主板与几年前的主板，可以看到新的主板上加入了许多端接。信号完整性问题已经成为新一代高速产品设计中越来越值得注意的问题，这已是毋庸置疑的了。

信号完整性 (Signal Integrity, 简称 SI) 是指在信号线上的信号质量。差的信号完整性不是由某一单一因素导致的，而是板级设计中多种因素共同引起的。主要的信号完整性问题包括反射、振铃、地弹、串扰等。

源端与负载端阻抗不匹配会引起线上反射，负载将一部分电压反射回源端。如果负载阻抗小于源阻抗，反射电压为负，反之，如果负载阻抗大于源阻抗，反射电压为正。布线的几何形状、不正确的线端接、经过连接器的传输及电源平面的不连续等因素的变化均会导致此类反射。

信号的振铃 (ringing) 和环绕振荡 (rounding) 由线上过度的电感和电容引起，振铃属于欠阻尼状态而环绕振荡属于过阻尼状态。信号完整性问题通常发生在周期信号中，如时钟等，振铃和环绕振荡同反射一样也是由多种因素引起的，振铃可以通过适当的端接予以减小，但是不可能完全消除。

新一代的 EDA 信号完整性工具主要包括布线前 / 布线后 SI 分析工具和系统级 SI 工具等。使用布线前 SI 分析工具可以根据设计对信号完整性与时序的要求在布线前帮助设计者选择元器件、调整元器件布局、规划系统时钟网络和确定关键线网的端接策略。SI 分析与仿真工具不仅可以对一块 PCB 板的信号流进行分析，而且可以对同一系统内其它组成部分如背板、连接器、电缆及其接口进行分析，这就是系统级的 SI 分析工具。针对系统级评价的 SI 分析工具可以对多板、连接器、电缆等系统组成元件进行分析，并可通过设计建议来帮助设计者消除潜在的 SI 问题，它们一般都包括 IBIS 模型接口、2 维传输线与串扰仿真、电路仿真、SI 分析结果的图形显示等功能。这类工具可以在设计包含的多种领域如电气、EMC、热性能及机械性能等方面综合考虑这些因素对 SI 的影响及这些因素之间的相互影响，从而进行真正的系统级分析与验证。Mentor Graphics 公司的 ICX 设计工具可以在时序与电气规则的驱动下进行 TopDown 式的布局及无网格布线，并提供多板分析功能，是典型的系统级 SI 工具。

在电路中有大的电流涌动时会引起地弹，如大量芯片的输出同时开启时，将有一个较大的瞬态电流在芯片与板的电源平面流过，芯片封装与电源平面的电感和电阻会引发电源噪声，这样会在真正的地平面 (0V) 上产生电压的波动和变化，这个噪声会影响其它元器件的动作。负载电容的增大、负载电阻的减小、地电感的增大、同时开关器件数目的增加均会导致地弹的增大。

振铃和地弹都属于信号完整性问题中单信号线的现象 (伴有地平面回路)，串扰则是由同一 PCB 板上的两条信号线与地平面引起的，故也称为三线系统。串扰是两条信号线之间的耦合，信号线之间的互感和互容引起线上的噪声。容性耦合引发耦合电流，而感性耦合引发耦合电压。PCB 板层的参数、信号线间距、驱动端和接收端的电气特性及线端接方式对串扰都有一定的影响。

表 1 列出了高速电路中常见的信号完整性问题与可能引起该信号完整性的原因，并给出了相应的解决方案。

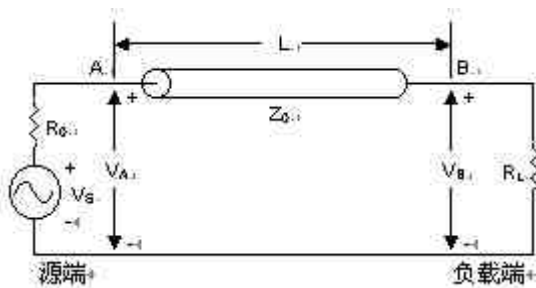
表 1 常见信号完整性 (SI) 问题及解决方法

问题	可能原因	解决方法	变更的解决方法
过大的上冲	终端阻抗不匹配	终端端接	使用上升时间缓慢的驱动源
直流电压电平不好	线上负载过大	以交流负载替换直流负载	使用能提供更大驱动电流的驱动源
过大的串扰	线间耦合过大	使用上升时间缓慢的主动驱动源	在被动接收端端接, 重新布线或检查地平面
传播时间过长	传输线距离太长, 没有开关动作	替换或重新布线, 检查串行端接	使用阻抗匹配的驱动源, 变更布线策略

4、信号发射与端接技术

4.1、信号反射的形成

传输线上的阻抗不连续会导致信号反射，我们以图 2 所示的理想传输线模型来分析与信号反射有关的重要参数。图中，理想传输线 L 被内阻为 R_0 的数字信号驱动源 VS 驱动，传输线的特性阻抗为 Z_0 ，负载阻抗为 R_L 。



理想的情况是当 $R_0 = Z_0 = R_L$ 时，传输线的阻抗是连续的，不会发生任何反射，能量一半消耗在源内阻 R_0 上，另一半消耗在负载电阻 R_L 上（传输线无直流损耗）。如果负载阻抗大于传输线的特性阻抗，那么负载端多余的能量就会反射回源端，由于负载端没有吸收全部能量，故称这种情况为欠阻尼。如果负载阻抗小于传输线的特性阻抗，负载试图消耗比当前源端提供的能量更多的能量，故通过反射来通知源端输送更多的能量，这种情况称为过阻尼。欠阻尼和过阻尼都会引起反向传播的波形，某些情况下在传输线上会形成驻波。当 $Z_0 = R_L$ 时，负载完全吸收到达的能量，没有任何信号反射回源端，这种情况称为临界阻尼。从系统设计的角度来看，由于临界阻尼情况很难满足，所以最可靠适用的方式轻微过阻尼，因为这种情况没有能量反射回源端。

负载端阻抗与传输线阻抗不匹配会在负载端（B点）反射一部分信号回源端（A点），反射电压信号的幅值由负载反射系数 ρ_L 决定，见下式：

$$\rho_L = \frac{R_L - Z_0}{R_L + Z_0}$$

式中， ρ_L 称为负载电压反射系数，它实际上是反射电压与入射电压之比。

由式（1）可见， $-1 \leq \rho_L \leq +1$ ，且当 $R_L = Z_0$ 时， $\rho_L = 0$ ，这时就不会发生反射。即，只要根据传输线的特性阻抗进行终端匹配，就能消除反射。从原理上说，反射波的幅度可以大到入射电压的幅度，极性可正可负。当 $R_L < Z_0$ 时， $\rho_L < 0$ ，处于过阻尼状态，反射波极性为负；当 $R_L > Z_0$ 时， $\rho_L > 0$ ，处于欠阻尼状态，反射波极性为正。

当从负载端反射回的电压到达源端时，又将再次反射回负载端，形成二次反射波，此时反射电压的幅值由源反射系数 ρ_S 决定，见下式：

$$\rho_S = \frac{R_0 - Z_0}{R_0 + Z_0}$$

4.2、阻抗匹配与端接方案

4.2.1、典型的传输线端接策略

由以上分析可知，在高速数字系统中，传输线上阻抗不匹配会引起信号反射，减小和消除反射的方法是根据传输线的特性阻抗在其发送端或接收端进行终端阻抗匹配，从而使源反射系数或负载反射系数为零。

传输线的长度符合下式的条件应使用端接技术。

$$L > \frac{t_r}{2t_{pdL}}$$

式中， L 为传输线线长， t_r 为源端信号的上升时间， t_{pdL} 为传输线上每单位长度的带载传输延迟。即当 t_r 小于 $2TD$ 时，源端完整的电平转移将发生在从传输线的接收端反射回源端的反射波到达源端之前，这时需要使用端接匹配技术，否则会在传输线上引起振铃。

传输线的端接通常采用两种策略：（1）使负载阻抗与传输线阻抗匹配，即并行端接（2）使源阻抗与传输线阻抗匹配，即串行端接。即如果负载反射系数或源反射系数二者任一为零，反射将被消除。从系统设计的角度，应首选策略 1，因其是在信号能量反射回源

端之前在负载端消除反射，即使 $\rho_L=0$ ，因而消除一次反射，这样可以减小噪声、电磁干扰（EMI）及射频干扰（RFI），而策略 2 则是在源端消除由负载端反射回来的信号，即使 $\rho_S=0$ 和 $\rho_L=1$ （负载端不加任何匹配），只是消除二次反射，在发生电平转移时，源端会出现持续时间为 $2TD$ 的半波波形，不过由于策略 2 实现简单方便，在许多应用中也广泛采用。两种端接策略各有其优缺点，下面就简要介绍这两类主要的端接方案。

（1）并行端接

并行端接主要是在尽量靠近负载端的位置加上拉和/或下拉阻抗以实现终端的阻抗匹配，根据不同的应用环境，并行端接又可分为以下几种类型：

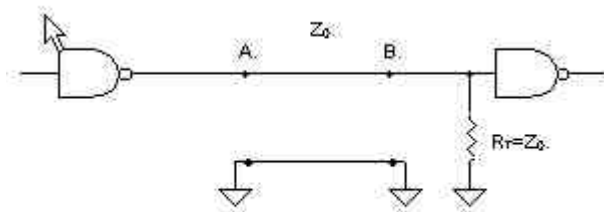


图 3 简单的并行端接

（I）简单的并行端接

这种端接方式是简单地在负载端加入一下拉到 GROUND 的电阻 R_T ($R_T=Z_0$) 来实现匹配，如图 3 所示。采用此端接的条件是驱动端必须能够提供输出高电平时的驱动电流以保证通过端接电阻的高电平电压满足门限电压要求。在输出为高电平状态时，这种并行端接电路消耗的电流过大，对于 50Ω 的端接负载，维持 TTL 高电平消耗电流高达 48mA ，因此一般器件很难可靠地支持这种端接电路。

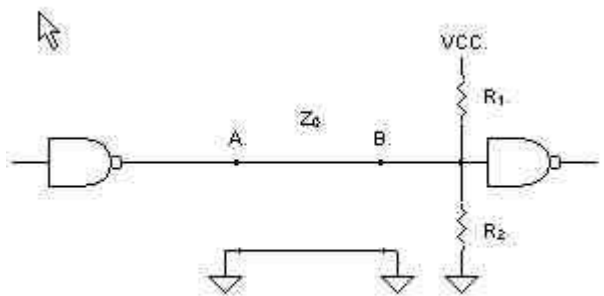


图 4 戴维宁 (Thevenin) 并行端接

（II）戴维宁 (Thevenin) 并行端接

戴维宁 (Thevenin) 端接即分压器型端接，如图 4 示。它采用上拉电阻 R_1 和下拉电阻 R_2 构成端接电阻，通过 R_1 和 R_2 吸收反射。 R_1 和 R_2 阻值的选取由下面的条件决定。 R_1 的最大值由可接受的信号的最大上升时间（是 RC 充放电时间常数的函数）决定，

R1 的最小值由驱动源的吸电流数值决定。R2 的选择应满足当传输线断开时电路逻辑高电平的要求。

戴维宁等效阻抗可表示为：

$$R_r = \frac{R_1 R_2}{R_1 + R_2}$$

这里要求 RT 等于传输线阻抗 Z0 以达到最佳匹配。此端接方案虽然降低了对源端器件驱动能力的要求，但却由于在 VCC 和 GROUND 之间连接的电阻 R1 和 R2 从而一直在从系统电源吸收电流，因此直流功耗较大。

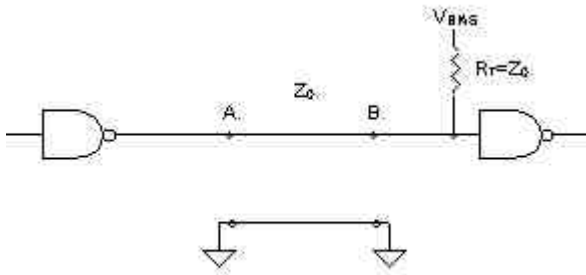


图 5 主动并行端接

(III) 主动并行端接

在此端接策略中，端接电阻 RT (RT=Z0) 将负载端信号拉至一偏移电压 VBIAS，如图 5 所示。VBIAS 的选择依据是使输出驱动源能够对高低电平信号有汲取电流能力。这种端接方式需要一个具有吸、灌电流能力的独立的电压源来满足输出电压的跳变速度的要求。在此端接方案中，如偏移电压 VBIAS 为正电压，输入为逻辑低电平时有 DC 直流功率损耗，如偏移电压 VBIAS 为副电压，则输入为逻辑高电平时有直流功率损耗。

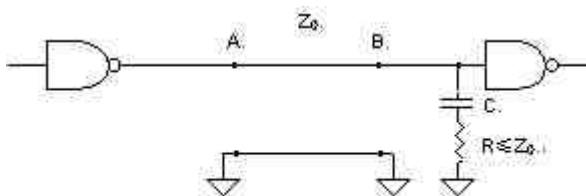


图 6 并行 AC 端接

(IV) 并行 AC 端接

如图 6 所示，并行 AC 端接使用电阻和电容网络（串联 RC）作为端接阻抗。端接电阻 R

要小于等于传输线阻抗 Z_0 ，电容 C 必须大于 100pF ，推荐使用 $0.1\mu\text{F}$ 的多层陶瓷电容。电容有阻低频通高频的作用，因此电阻 R 不是驱动源的直流负载，故这种端接方式无任何直流功耗。

(V) 二极管并行端接

某些情况可以使用肖特基二极管或快速开关硅管进行传输线端接，条件是二极管的开关速度必须至少比信号上升时间快 4 倍以上。在面包板和底板等线阻抗不好确定的情况下，使用二极管端接即方便又省时。如果在系统调试时发现振铃问题，可以很容易地加入二极管来消除。

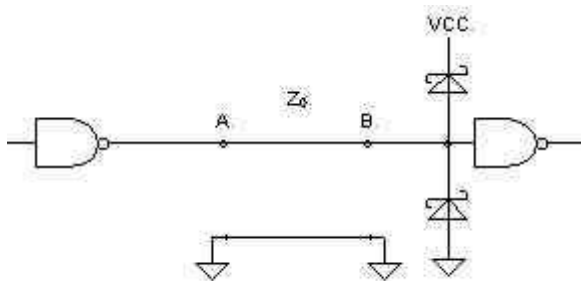
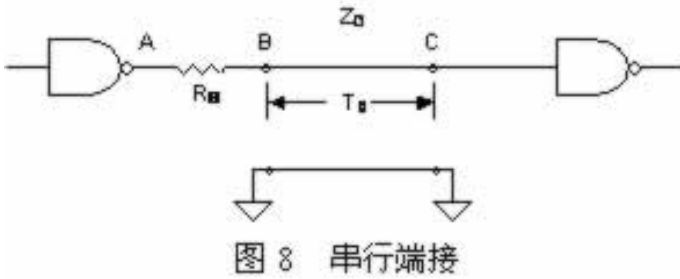


图 7 肖特基二极管端接

典型的二极管端接如图 7 所示。肖特基二极管的低正向电压降 V_f (典型 0.3 到 0.45V) 将输入信号钳位到 $\text{GROUND} - V_f$ 和 $\text{VCC} + V_f$ 之间。这样就显著减小了信号的过冲 (正尖峰) 和下冲 (负尖峰)。在某些应用中也可只用一个二极管。二极管端接的优点在于：二极管替换了需要电阻和电容元件的戴维宁端接或 RC 端接，通过二极管钳位减小过冲与下冲，不需要进行线的阻抗匹配。尽管二极管的价格要高于电阻，但系统整体的布局布线开销也许会减少，因为不再需要考虑精确控制传输线的阻抗匹配。二极管端接的缺点在于：二极管的开关速度一般很难做到很快，因此对于较高速的系统不适用。

(2) 串行端接

串行端接是通过在尽量靠近源端的位置串行插入一个电阻 R_S (典型 10Ω 到 75Ω) 到传输线中来实现的，如图 8 所示。串行端接是匹配信号源的阻抗，所插入的串行电阻阻值加上驱动源的输出阻抗应大于等于传输线阻抗 (轻微过阻尼)。即

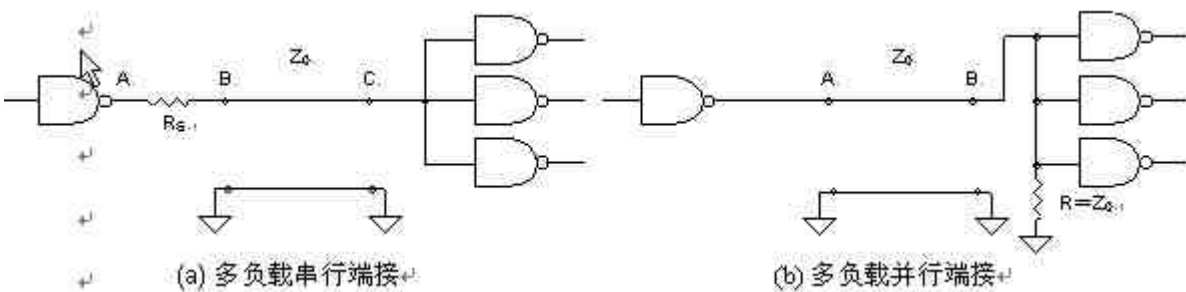


这种策略通过使源端反射系数为零从而抑制从负载反射回来的信号（负载端输入高阻，不吸收能量）再从源端反射回负载端。串行端接的优点在于：每条线只需要一个端接电阻，无需与电源相连接，消耗功率小。当驱动高容性负载时可提供限流作用，这种限流作用可以帮助减小地弹噪声。串行端接的缺点在于：当信号逻辑转换时，由于 R_S 的分压作用，在源端会出现半波幅度的信号，这种半波幅度的信号沿传输线传播至负载端，又从负载端反射回源端，持续时间为 $2T_D$ （ T_D 为信号源端到终端的传输延迟），这意味着沿传输线不能加入其它的信号输入端，因为在上述 $2T_D$ 时间内会出现不正确的逻辑态。并且由于在信号通路上加接了元件，增加了 RC 时间常数从而减缓了负载端信号的上升时间，因而不适合用于高频信号通路（如高速时钟等）。

4.2.2、多负载的端接

在实际电路中常常会遇到单一驱动源驱动多个负载的情况，这时需要根据负载情况及电路的布线拓扑结构来确定端接方式和使用端接的数量。一般情况下可以考虑以下两种方案。

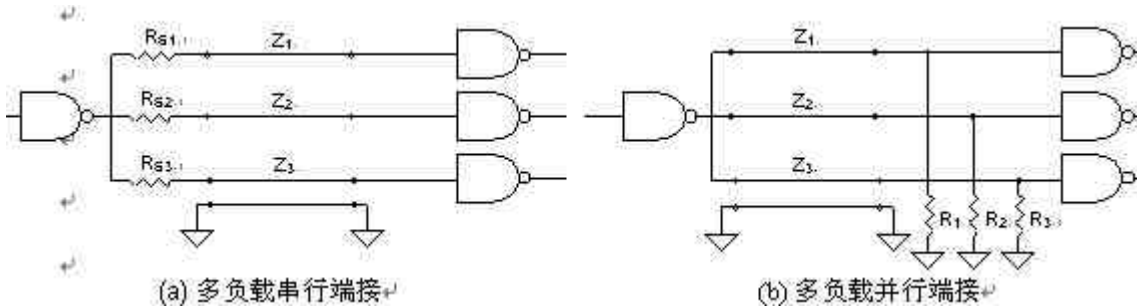
如果多个负载之间的距离较近，可通过一条传输线与驱动端连接，负载都位于这条传输线的终端，这时只需要一个端接电路。如采用串行端接，则在传输线源端加入一串联电阻即可，如图 9a 所示。如采用并行端接（以简单并行端接为例），则端接应置于离源端距离最远的负载处，同时，线网的拓扑结构应优先采用菊花链的连接方式，如图 9b 所示。



如

果多个负载之间的距离较远，需要通过多条传输线与驱动端连接，这时每个负载都需要

一个端接电路。如采用串行端接，则在传输线源端每条传输线上均加入一串行电阻，如图 10a 所示。如采用并行端接（以简单并行端接为例），则应在每一负载处都进行端接，如图 10b 所示。



4.2.3、不同工艺器件的端接策略

阻抗匹配与端接技术方案随着互联长度和电路中逻辑器件的家族在不同也会有所不同，只有针对具体情况，使用正确适当的端接方法才能有效地减小信号反射。

一般来说，对于一个 CMOS 工艺的驱动源，其输出阻抗值较稳定且接近传输线的阻抗值，因此对于 CMOS 器件使用串行端接技术就会获得较好的效果。而 TTL 工艺的驱动源在输出逻辑高电平和低电平时其输出阻抗有所不同，这时，使用并行戴维宁端接方案则是一种较好的策略。ECL 器件一般都具有很低的输出阻抗，因此，在 ECL 电路的接收端使用一下拉端接电阻（下拉电平需要根据实际情况选取）来吸收能量则是 ECL 电路的通用端接技术。

当然，上述方法也不是绝对的，具体电路上的差别、网络拓扑结构的选取、接收端的负载数等都是可以影响端接策略的因素，因此在高速电路中实施电路的端接方案时，需要根据具体情况通过分析仿真来选取合适的端接方案以获得最佳的端接效果。

4.3、端接技术的仿真分析

下面针对典型的振铃现象，给出了不同端接方案下的信号仿真结果。以下对端接问题的仿真，仿真软件采用 MentorGraphics 公司的信号完整性分析工具 InterconnectSynthesis (IS)，仿真基本条件为：顶层微带传输线，线宽=6mils，线长=5inches，PCB 板为 4 层板（中间两层为电源层），电介质介电常数为 4.0，微带线阻抗控制 $50\ \Omega$ ，信号驱动器和接收器均使用 TTL_S 工艺器件的 IBIS 模型。

图 11 所示为未使用端接技术的电路中常见的振铃现象，图中标记“1”箭头所指的波形为信号源端的波形，标记“2”箭头所指的波形为信号负载端的波形，由图可见，信号的

负载端有明显的振铃现象。

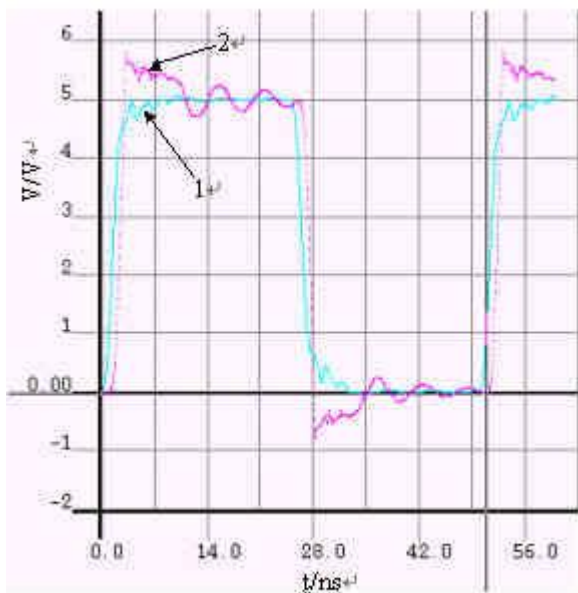
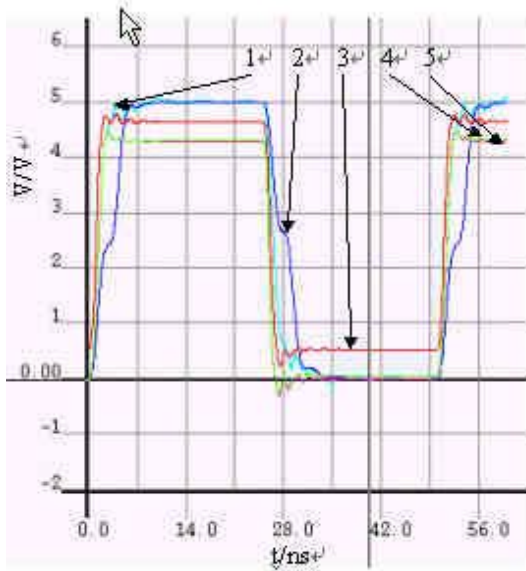
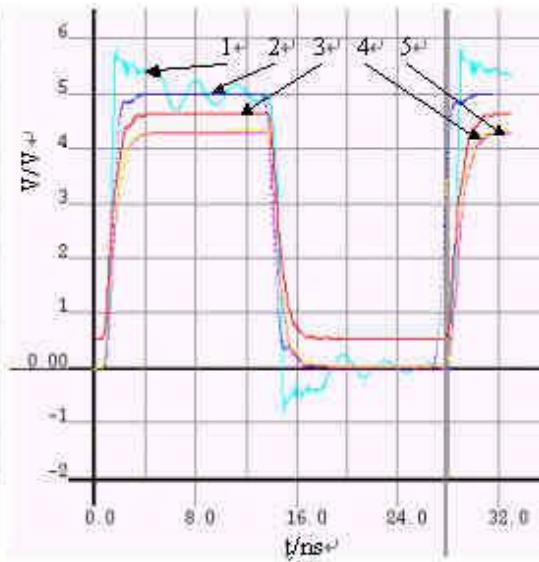


图 11 典型的振铃现象

图 12 仿真了对同一电路使用不同的端接方式后，信号源端与负载端的波形，图中左边图 (a) 为信号驱动端的波形，右边图 (b) 为信号负载端的波形。在这两幅图中，标记“1”箭头所指的波形为未加端接前信号驱动端与负载端的波形，标记“2”箭头所指的波形为使用串行端接（端接电阻 50Ω ）后的信号波形，标记“3”箭头所指的波形为使用戴维宁端接（上拉电阻 100Ω ，下拉电阻 100Ω ）后的信号波形，标记“4”箭头所指的波形为使用简单的并行端接（下拉电阻 50Ω ）后的信号波形，标记“5”箭头所指的波形为使用并行 AC 端接（下拉电阻 50Ω ，电容 $0.1\mu\text{F}$ ）后的信号波形。由图可见，使用这几种阻抗匹配端接技术后都不同程度地抑制了信号反射，从而减小了振铃，这说明在存在较大反射的电路中使用端接技术能够收到很好的效果。但是同时也应注意到，不同的端接技术对信号的影响也是有差别的，如图中标记“2”箭头所指的波形是使用了串行端接后的波形，可以看出信号的上升沿变缓了，而图中标记“3”箭头所指的波形是使用了戴维宁端接后的波形，此时信号的低电平已经接近低电平门限，这样的信号在实际电路中是不可靠的。可见，对于同一电路，使用不同的端接技术均可以达到减小信号反射的效果，但同时也应注意到这种端接技术本身对信号的影响，只有根据信号质量的要求并综合考虑端接技术对信号的影响，才能得到最佳的端接匹配效果。



(a) 驱动端波形



(b) 负载端波形

中国 PCB 技术网收集整理

<http://www.pcbtech.net>

<http://www.pcbnet.net>

<http://www.pcbbs.com>

<http://www.pcbtrade.com>

射频和天线设计培训课程推荐

易迪拓培训(www.edatop.com)由数名来自于研发第一线的资深工程师发起成立,致力并专注于微波、射频、天线设计研发人才的培养;我们于 2006 年整合合并微波 EDA 网(www.mweda.com),现已发展成为国内最大的微波射频和天线设计人才培养基地,成功推出多套微波射频以及天线设计经典培训课程和 ADS、HFSS 等专业软件使用培训课程,广受客户好评;并先后与人民邮电出版社、电子工业出版社合作出版了多本专业图书,帮助数万名工程师提升了专业技术能力。客户遍布中兴通讯、研通高频、埃威航电、国人通信等多家国内知名公司,以及台湾工业技术研究院、永业科技、全一电子等多家台湾地区企业。

易迪拓培训课程列表: <http://www.edatop.com/peixun/rfe/129.html>



射频工程师养成培训课程套装

该套装精选了射频专业基础培训课程、射频仿真设计培训课程和射频电路测量培训课程三个类别共 30 门视频培训课程和 3 本图书教材;旨在引领学员全面学习一个射频工程师需要熟悉、理解和掌握的专业知识和研发设计能力。通过套装的学习,能够让学员完全达到和胜任一个合格的射频工程师的要求...

课程网址: <http://www.edatop.com/peixun/rfe/110.html>

ADS 学习培训课程套装

该套装是迄今国内最全面、最权威的 ADS 培训教程,共包含 10 门 ADS 学习培训课程。课程是由具有多年 ADS 使用经验的微波射频与通信系统设计领域资深专家讲解,并多结合设计实例,由浅入深、详细而又全面地讲解了 ADS 在微波射频电路设计、通信系统设计和电磁仿真设计方面的内容。能让您在最短的时间内学会使用 ADS,迅速提升个人技术能力,把 ADS 真正应用到实际研发工作中去,成为 ADS 设计专家...



课程网址: <http://www.edatop.com/peixun/ads/13.html>



HFSS 学习培训课程套装

该套课程套装包含了本站全部 HFSS 培训课程,是迄今国内最全面、最专业的 HFSS 培训教程套装,可以帮助您从零开始,全面深入学习 HFSS 的各项功能和在多个方面的工程应用。购买套装,更可超值赠送 3 个月免费学习答疑,随时解答您学习过程中遇到的棘手问题,让您的 HFSS 学习更加轻松顺畅...

课程网址: <http://www.edatop.com/peixun/hfss/11.html>

CST 学习培训课程套装

该培训套装由易迪拓培训联合微波 EDA 网共同推出,是最全面、系统、专业的 CST 微波工作室培训课程套装,所有课程都由经验丰富的专家授课,视频教学,可以帮助您从零开始,全面系统地学习 CST 微波工作的各项功能及其在微波射频、天线设计等领域的设计应用。且购买该套装,还可超值赠送 3 个月免费学习答疑...

课程网址: <http://www.edatop.com/peixun/cst/24.html>



HFSS 天线设计培训课程套装

套装包含 6 门视频课程和 1 本图书,课程从基础讲起,内容由浅入深,理论介绍和实际操作讲解相结合,全面系统的讲解了 HFSS 天线设计的全过程。是国内最全面、最专业的 HFSS 天线设计课程,可以帮助您快速学习掌握如何使用 HFSS 设计天线,让天线设计不再难...

课程网址: <http://www.edatop.com/peixun/hfss/122.html>

13.56MHz NFC/RFID 线圈天线设计培训课程套装

套装包含 4 门视频培训课程,培训将 13.56MHz 线圈天线设计原理和仿真设计实践相结合,全面系统地讲解了 13.56MHz 线圈天线的工作原理、设计方法、设计考量以及使用 HFSS 和 CST 仿真分析线圈天线的具体操作,同时还介绍了 13.56MHz 线圈天线匹配电路的设计和调试。通过该套课程的学习,可以帮助您快速学习掌握 13.56MHz 线圈天线及其匹配电路的原理、设计和调试...

详情浏览: <http://www.edatop.com/peixun/antenna/116.html>



我们的课程优势:

- ※ 成立于 2004 年,10 多年丰富的行业经验,
- ※ 一直致力并专注于微波射频和天线设计工程师的培养,更了解该行业对人才的要求
- ※ 经验丰富的一线资深工程师讲授,结合实际工程案例,直观、实用、易学

联系我们:

- ※ 易迪拓培训官网: <http://www.edatop.com>
- ※ 微波 EDA 网: <http://www.mweda.com>
- ※ 官方淘宝店: <http://shop36920890.taobao.com>