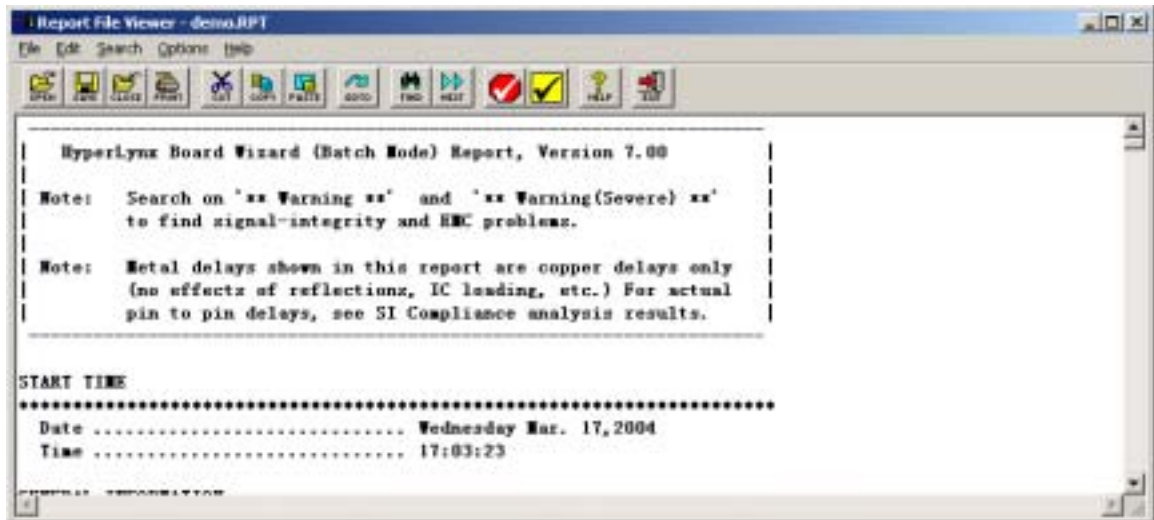






- 确认上升/下降（Rise/fall time）沿时间设置为 2ns。
- 以下各页均按照默认值设置，点击“下一步”按钮，直到进入批模式分析（“Batch-Mode Analysis”）页出现“完成”按钮，点击此按钮。

板级向导快速分析开始运行，并报告板上各网络分析的状态。输出的报告文件如下图：



### 检查板级向导快速分析的输出

当在报告文件浏览器中查看报告文件时，板级向导报告以特色的格式显示以便重要信息的查找。浏览器可以查找信号完整性的警告位置，查找警告使用黄色的“find warning”图标 ，查找严重警告使用红色“find warning (severe)”的图标 。

- 在报告文件浏览器窗口中，点击黄色的按钮，光标将跳转到文件中第一

个“warning”的地方。

- 点击“find warning”按钮多次，光标可以跳到不同的可能存在信号完整性问题的网络位置，或者由于网络物理长度太长而没有端接，或者端接的元件值并不是最优值等。

您可以使用板级向导自动地查找问题。

查看向导报告中网络名为“data1d”的网络：

- 在报告文件浏览器中，选择菜单“Search” → “Find”，打开查找对话框。
- 在查找数据框中输入“data1d”。
- 点击“OK”按钮。

浏览器光标跳到网络“data1d”部分。板级向导报告指出“data1d”网络还没有端接，对于给定的默认上升/下降沿时间是 2ns，这种情况下“data1d”的布线长度太长了，并给出了建议的最大布线长度。向导给出了一些建议如何改善这个网络的信号完整性问题。


关闭报告文件浏览器。

## 详细分析重要的时钟网络

现在让我们重新再运行一遍批模式分析，这一次使用详细仿真的功能对 PCB 板上的少数网络进行仿真。与刚才的快速仿真进行对比，详细仿真提供了更具体的报告信息，针对一个网络上的每个接收端 IC 的 Pin、详细的过冲、最小/最大 IC Pin 的延迟和极限域值等。由于这个 Demo 板比较小，它只包含了两个时钟网络；在实际的 PCB 中，您当然可以选择一大组的网络（甚至板上的每个网络，虽然仿真每个网络都需要浪费设置和 CPU 的时间）。可是，两个网络已经足够演示这个详细仿真是如何工作的了。

注意：向导既可以进行信号完整性仿真，也可以进行 EMC 仿真。在这个例子中，我们都将看到。

通过“clk”和“clk2”网络运行板级向导的详细仿真功能；对其信号完整性和 EMC 进行仿真；设置每一个 Pin 的最大延迟为 2.5ns；设置时钟频率为 100MHz。

- 选择菜单的“Wizards” → “Board Wizard (Batch mode) ...”，或者通过工具条上的图标按钮。板级向导对话框打开。
- 取消所有的快速分析“Quick Analysis”复选框功能。
- 勾选详细仿真“Detailed Simulations”下的两个复选框“Run signal-integrity (SI) simulations on selected nets”和“Run EMC simulations on selected nets”，点击“下一步”。
- 出现“Batch-mode SI and Crosstalk Options”设置页。



- 点击右方的“Nets Spreadsheet...”按钮，将弹出“Net Compliance Spread Sheet”对话框，在表格的“clk”和“clk2”网络的“SI Enable”栏目中勾选（这两个网络应该位于前面两个位置，如果不是，请点击“Net Name”字段栏将其按网络名进行排序）。如下图。

Net Name	Width (mils)	Length (inches)	SI Enable	SI Overshoot Rise (mV)	SI Overshoot Fall (mV)	SI Pin Delay Max. (ns)	SI Min.
1. clk	10.00	3.65	<input checked="" type="checkbox"/>	300.0	300.0	2.500	-5.1
2. clk2	10.00	8.48	<input checked="" type="checkbox"/>	300.0	300.0	2.500	-5.1
3. clksw	10.00	1.36	<input type="checkbox"/>	300.0	300.0	1000.000	-5.1
4. data1d	10.00	4.21	<input type="checkbox"/>	300.0	300.0	1000.000	-5.1
5. da	10.00	2.42	<input type="checkbox"/>	300.0	300.0	1000.000	-5.1
6. fa	10.00	3.19	<input type="checkbox"/>	300.0	300.0	1000.000	-5.1
7. data2d	10.00	2.94	<input type="checkbox"/>	300.0	300.0	1000.000	-5.1
8. data3	10.00	2.32	<input type="checkbox"/>	300.0	300.0	1000.000	-5.1
9. data4	15.00	1.49	<input type="checkbox"/>	300.0	300.0	1000.000	-5.1
10. data5	15.00	1.94	<input type="checkbox"/>	300.0	300.0	1000.000	-5.1
11. data6	15.00	1.63	<input type="checkbox"/>	300.0	300.0	1000.000	-5.1
12. data7	15.00	1.15	<input type="checkbox"/>	300.0	300.0	1000.000	-5.1
13. data8	10.00	8.94	<input type="checkbox"/>	300.0	300.0	1000.000	-5.1
14. data9	10.00	1.86	<input type="checkbox"/>	300.0	300.0	1000.000	-5.1
15. data10	10.00	1.63	<input type="checkbox"/>	300.0	300.0	1000.000	-5.1
16. data11	10.00	8.89	<input type="checkbox"/>	300.0	300.0	1000.000	-5.1
17. data12	15.00	3.32	<input type="checkbox"/>	300.0	300.0	1000.000	-5.1
18. data13	15.00	2.69	<input type="checkbox"/>	300.0	300.0	1000.000	-5.1
19. data14	15.00	8.35	<input type="checkbox"/>	300.0	300.0	1000.000	-5.1
20. data15	15.00	8.44	<input type="checkbox"/>	300.0	300.0	1000.000	-5.1
21. data16	10.00	3.39	<input type="checkbox"/>	300.0	300.0	1000.000	-5.1
22. data17	15.00	4.87	<input type="checkbox"/>	300.0	300.0	1000.000	-5.1
23. data18	15.00	1.48	<input type="checkbox"/>	300.0	300.0	1000.000	-5.1
24. data19	15.00	1.15	<input type="checkbox"/>	300.0	300.0	1000.000	-5.1

- 拖动 Spreadsheet 表格到右边，将“clk”和“clk2”网络的“SI Pin Delay Max (ns)”的值修改为 2.5 ns。点击“OK”按钮，再点击“下一步”按钮。
- 出现“Batch-mode EMC Setting”对话框，点击右边的“Nets Spreadsheet...”按钮，进入“Net Compliance Spread Sheet”设置表格。用同样的方法，勾选“clk”“clk2”网络，在栏目“EMC Clock Freq. (MHz)”中输入 100，确认 EMC 时钟的占空比是否 49%，点击“OK”按钮。
- 返回到“Batch-mode EMC Setting”对话框，检查 EMC 仿真的各项设

置：保持默认的“Regulatory test limits”设置 FCC 和 CISPR, Class A 和 B; “Distance from the Antenna to PCB” 设置为 3 meters。如下图。




➤ 一直点击“下一步”按钮，均使用默认设置，直到“完成”按钮出现。

通过以上的这些步骤，您已经告诉了板级向导以下信息：

- 只对“clk”和“clk2”网络运行详细仿真。
- 对网络上的所有的 Pin，检查其过冲是否超过默认设置的 300 mV。
- 所有的接收 Pin，检查驱动到接收端的延迟是否超过 2.5 ns。
- 针对 EMC 兼容的限制（FCC、CISPR - Class A&B），使用 100MHz 且占空比为 49%的时钟源，测试距离为 3 米，自动检查网络的辐射。

当您点击了“完成”按钮，板级向导开始运行，并报告它的状态。因为此次详细仿真只选了两个网络，因此不会花很长的时间；可是，因为它需要仿真最好、典型、最坏三种情况，以及双沿（上升和下降沿），因此它必须对每个网络仿真六次。

## 检查板级向导详细仿真的输出

- 在报告文件浏览器中，选择“Find Warning”图标 .
- 您可能需要点击几次才能够找到您感兴趣的网络位置。

浏览器跳到“clk”网络（如果需要，可以将放大以便可以浏览到所有数据），详细仿真对网络“clk”进行了详细的上升和下降沿仿真，报告了过冲和延迟及 EMC 等超标问题。请注意另一个网络（“n00076”）也被调入仿真，虽然我们并没有明确地选择分析它，但是因为网络“n00076”和网络“clk”通过端接电阻连

接在一起的，BoardSim 称之为“相关网络”，而且可以自动地找到相关网络一起仿真。

报告中对网络“clk”具体的描述如下：

- 网络“clk”上每个 IC Pin 的统计。
- 每个 Pin 的输入输出方向 (in/out)。
- 对信号的上升和下降沿，都对驱动端的 Pin 开关到每个接收端的 Pin 开关的最小和最大延迟进行计算；这些计算都使用接收端 IC 的最小/最大极限值和最好/典型/最坏情况下的数据进行。
- 对信号的上升和下降沿，最大过冲指的是超过最终直流电压的数值。
- 在错误标志中，字母代码代表出现了哪一种类型的信号完整性问题；在这个例子中，两个接收端都发生了过冲 (“O”) 和延迟 (“D”) 违规错误，在这个例子中没有显示另外两种错误 (开关门限错误和多次穿越门限错误)。

详细仿真向导同时还产生了另外两个文件，以便其他的程序调用：

- 一个 .CSV (“Comma Separated Values”) 文件 (DEMO-SI.CSV) 包含了报告中所有的网络数据，它可以直接被 Microsoft 的 Excel 或者其他电子表格或数据库程序打开。
- 一个 .SDF (“Standard Delay Format”) 文件 (DEMO-SI.SDF) 包含了包括中的管脚延迟信息，它可以被 Verilog 和 VHDL 仿真器调用，或者其他时序分析工具。

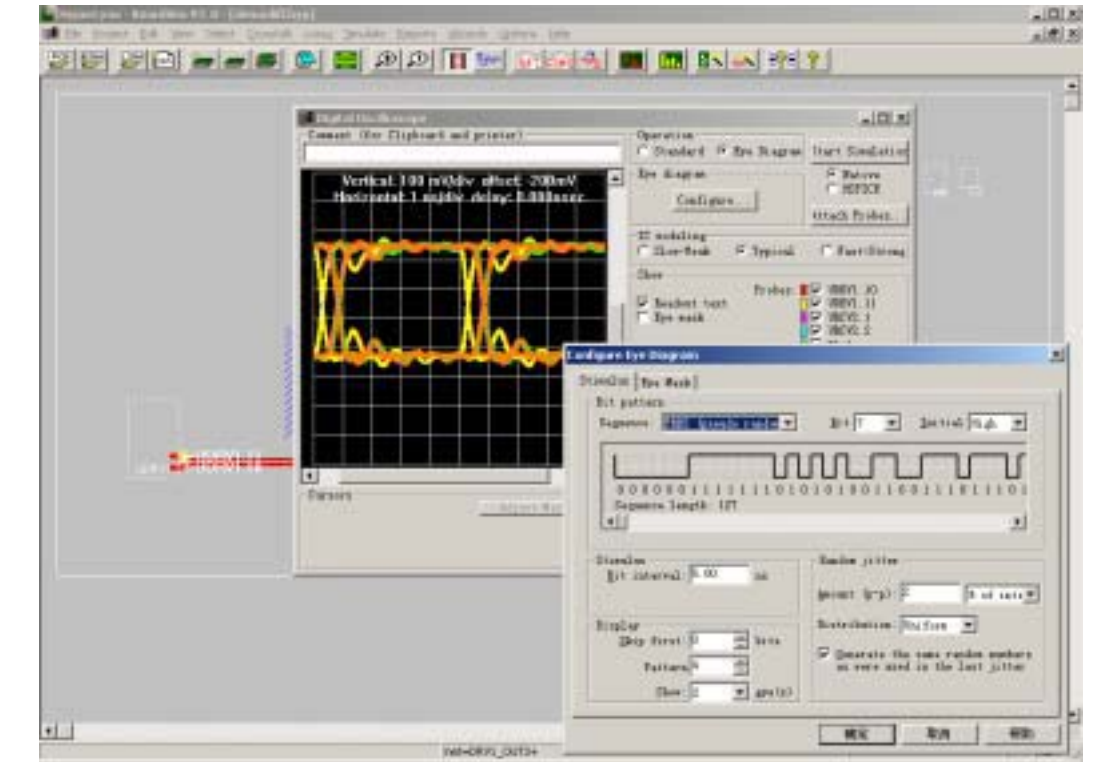
(注意：这些文件被存放于您安装 HyperLynx 软件的 HYPFILES 目录下)

网络“clk2” (它也包含了相关网络“n00077”) 也显示了相似的结果 (除了它没有发生延迟违规)，您也可以通过点击浏览器的“Next”按钮跳到网络“clk2”的报告部分。

当您看完了详细报告之后，关闭报告浏览器。

您还有更快更简单的方法得到关于您板的这些信息吗？对于分析您的整板或者部分网络，这是一个强大的工具。

## BoardSim 差分 and GHz 仿真



现在让我们看看 BoardSim 的一些针对高速、“3GIO”互连设计的特点。与旧的并行、同步类型的总线的信号完整性仿真的工具不同的是，这是一种基于差分信号总线的标准。这种新技术强调的是差分信号；使用是超快速的串行数据通路；使用源同步或者完全同步（不需要时钟）技术；速率达到 3.125 Gbps（在未来的几年将会更高）。

为了适应这种的新设计类型，信号完整性分析工具必须有新的特点。两个新的功能已经在 LineSim 部分有介绍：有损传输线和 HSPICE 仿真。这部分主要介绍其他几个在 3GIO 中的重要特点：高级过孔模型、差分信号和多位触发的眼图功能。


如果您对 3GIO 仿真感兴趣，请回顾一下它的特点。

### 过孔效果仿真

- 点击工具条上的图标按钮 ，打开 demo.hyp 文件。
- 通过菜单的“Select” —> “Net by Name”选择“clk”网络。

注意在板浏览器中这个网络上包含了好几个过孔，精确地说是 6 个过孔。这些过孔对高速信号会产生什么影响呢？通过 BoardSim 我们很容易找到这个答案。

首先，让我们将驱动 IC 模型改为更快的驱动，这样，效果会更加明显。

- 选择菜单“Select” — > “Component Models / Values...”。或者点击工具条图标按钮 。
- 在 Pins 列表中，选择 U1.13，并点击右边的“Select...”按钮。
- 点击“EASY.MOD”按钮。
- 在 Devices 列表中选择“CMOS,3.3V,Ultra-Fast”模型。
- 点击“OK”按钮，关闭窗口。

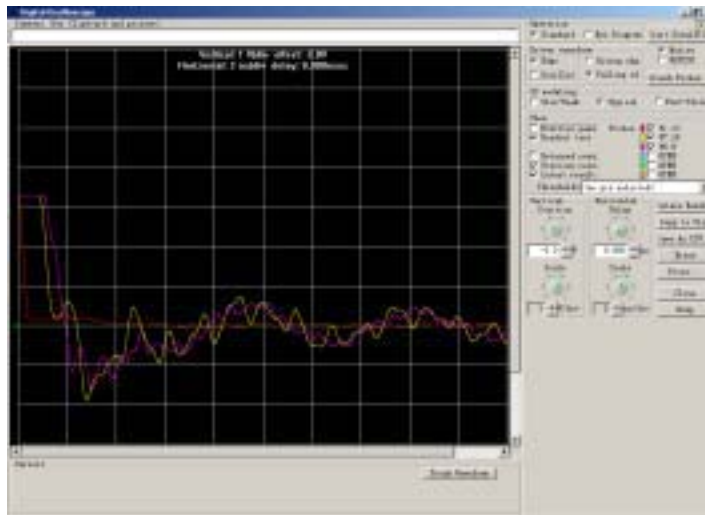
## 无过孔模型仿真

让我们先进行无过孔模型的仿真，然后重新对包括过孔模型的再进行仿真。

- 选择菜单“Edit” — > “Via Modeling...”，打开仿真过孔模型的对话框。
- 点击取消左上方的“Include Via L and C”复选框，使得在仿真过程中不包括过孔模型。
- 点击“OK”按钮。

现在让我们开始仿真：


- 点击工具条上的示波器仿真图标按钮 。
- 点击开始仿真“Start Simulation”按钮。如下图。

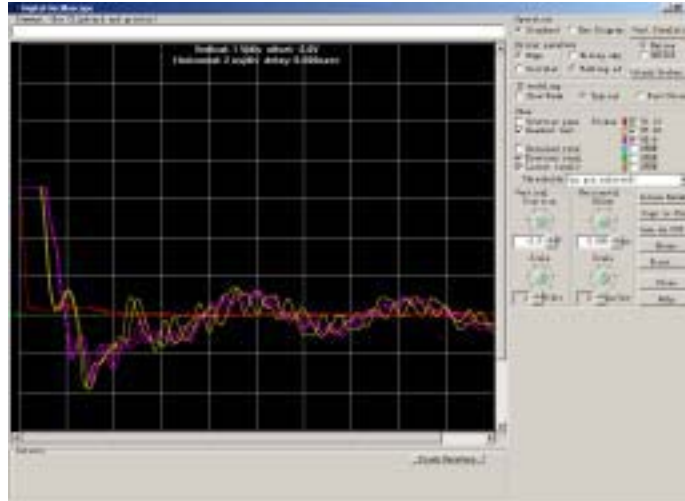


## 有过孔模型重新仿真

现在让我们重新仿真一下过孔模型使能的情况。

- 选择菜单“Edit” — > “Via Modeling...”，打开仿真过孔模型的对话框。
- 选择左上方的“Include Via L and C”复选框，并检查“Auto-Calculate”单选按钮是否被选中。

- 点击“OK”按钮。
- 点击工具条上的示波器仿真图标按钮，打开仿真窗口，点击开始仿真“Start Simulation”按钮。
- 请注意仿真结果的变化：过孔明显地增加了信号传输的延迟。



## 关于过孔模型的高级选项

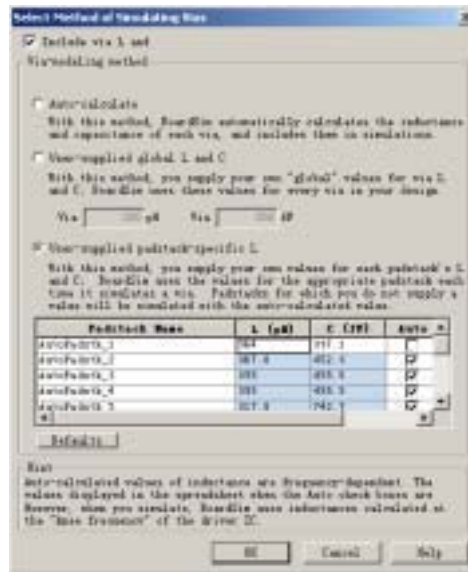
让我们来看看 BoardSim 对过孔模型设置的其他选项。

- 选择菜单“Edit” —> “Via Modeling...”，打开仿真过孔模型的对话框。
- 注意对话框中三个单选按钮。

“Auto-Calculate”选项让 BoardSim 使用内部计算器对设计中的每个过孔类型的电感和电容参数自动地进行计算。


但是，有些高级用户宁愿使用他们自己计算的过孔 L 和 C 值（也许使用外部的计算器工具计算，比如使用 3-D field solver）。选项“User-Supplied Global L and C”允许使用一个单一的 L 和 C 参数应用设计中的所有过孔。或者更高级的“User-Supplied Padstack-Specific L and C”选项（试着点击一下看看）可以让用户使用一个 Spreadsheet 表格格式对设计中的任意一个或全部的过孔不进行自动计算，而根据用户的要求，使用手工设置。

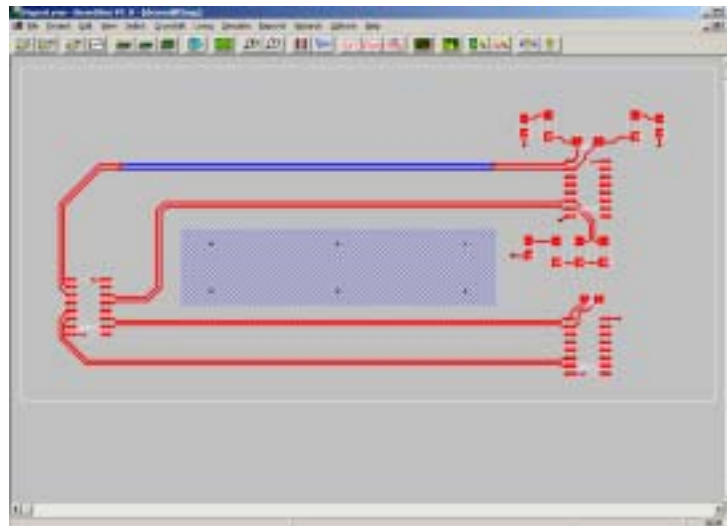




## 差分对网络

现在让我们看一个典型的差分对网络；最后，我们使用眼图仿真它们。

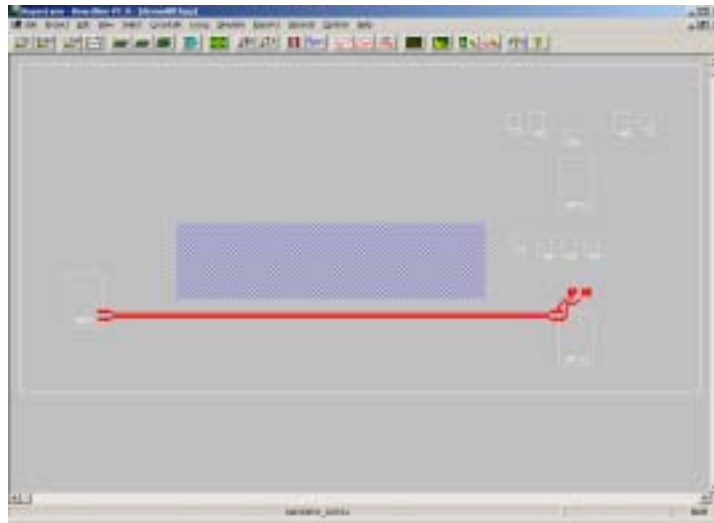
- 在过孔模型对话框中点击“OK”按钮，关闭对话框。
- 点击工具条上的按钮图标 ，打开 BoardSim 的演示文件“DEMODIFF.HYP”。
- 在弹出的“Restore Session Edits”对话框中，点击“OK”按钮。
- 请注意在这个演示板中，包含了几对差分对。如下图。



注意：这个板显示了几种不同方法端接的差分对；我们将关注一个最常用的端接方案：线到线电阻。

- 从菜单“Select” -> “Net by Net...”对话框中选择“drv1\_out3+”网络。
- 注意在板浏览器中显示了两个网络，由于这是一个差分网络：

“drv1\_out3+” 和它的负极性对 “drv1\_out3-” 网络。如下图。



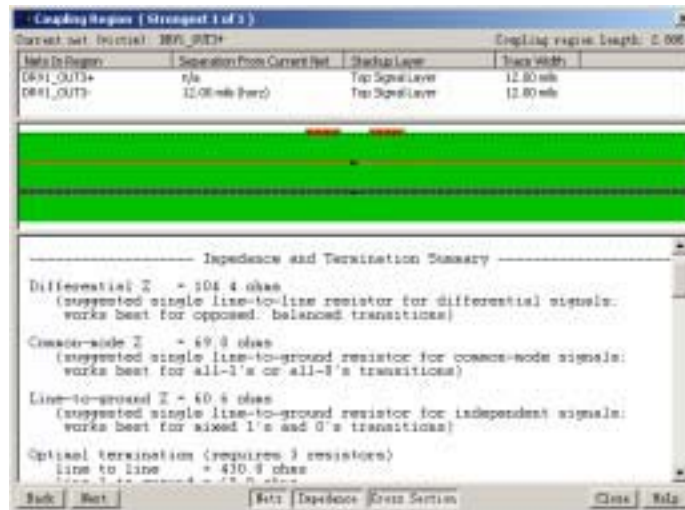
## 差分对阻抗

使用前面的物理串扰特点，BoardSim 可以帮助您检查实际布线中的网络对的差分阻抗

- 选择主菜单“Crosstalk” -> “Enable Crosstalk Simulation”。或者点击工具条上的图标按钮 ，使能串扰仿真。
- 再选择主菜单上的“Crosstalk” -> “Set Crosstalk Thresholds”。打开设置串扰域值对话框。
- 点击“Use Electrical Thresholds”单选框，在“Include nets with coupled voltages greater than”值中输入 20 mV 作为串扰域值。
- 点击“OK”按钮关闭对话框。

注意：这样做只是为了 BoardSim 允许差分对中两根网络的耦合，而不管它们之间的耦合是多么的微弱。

- 再次选择主菜单“Crosstalk” -> “Walk Coupling Regions (Field Solver views) ...”。
- 从“Coupling Region”对话框的底部，从垂直方向拉长此对话框。
- 点击窗口底部的“Impedance”按钮；将新出现一个描述差分对电特性信息的分隔窗口。
- 请注意窗口中通过 HyperLynx 的 field solver 计算出的差分对差分阻抗是 104 欧，如下图。



- 点击“Close”关闭显示窗口。

## 用眼图和多位触发仿真

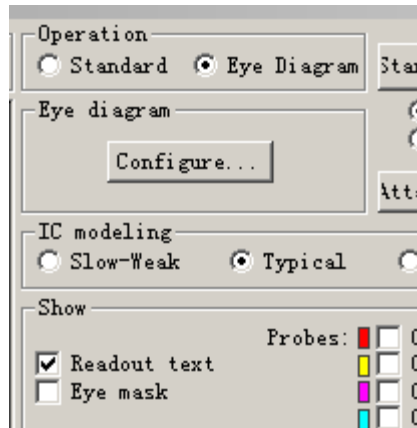
3GIO 信号通常都不是通过一个简单的上升沿或下降沿判别的，但是通过大量的重叠的跳变形成了一个叫做“眼图”的图形。判断信号的质量就通过观察整个眼图的外形，特别是这个眼图中眼的“睁开”程度。

注意：眼图可以帮助设计工程师通过多位周期观察信号的性能。在一个高速串行数据流中，设计者需要测定误码率，或者测定在接收端 IC 接收到一个错误位之前，平均成功地接收了多少位。如果这个比率低到一定的程度，从信号完整性上来说，这个系统被判为噪声太大。

眼图通过显示累积大量的随即位跳变的效果分析；眼图结果直观地显示了信号质量中象内部符号干涉和驱动 IC 的 Jitter 等全面的效果。

当在 PCB 的传输线上驱动一个信号时，仿真器会自然地产生内部符号干涉（一个位周期的反射与下一个位周期的重叠）。但是驱动 IC 的 Jitter 必须通过仿真器手工建立，模仿驱动器的行为。

- 点击工具条上的示波器图标按钮
- 在示波器窗口中，点击右上方的“Operation”选项中选择单选按钮“Eye Diagram”。
- 点击窗口“Show”选择中的“Eye Mask”复选框，取消其选择状态。如下图。

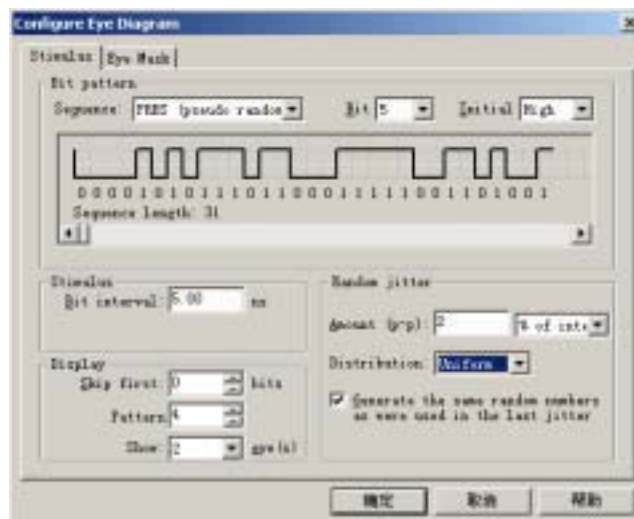


### 指定多位触发

为了产生眼图，我们必须先决定驱动 IC 仿真的位模式；IC 将用这种模式轮流驱动差分对网络。

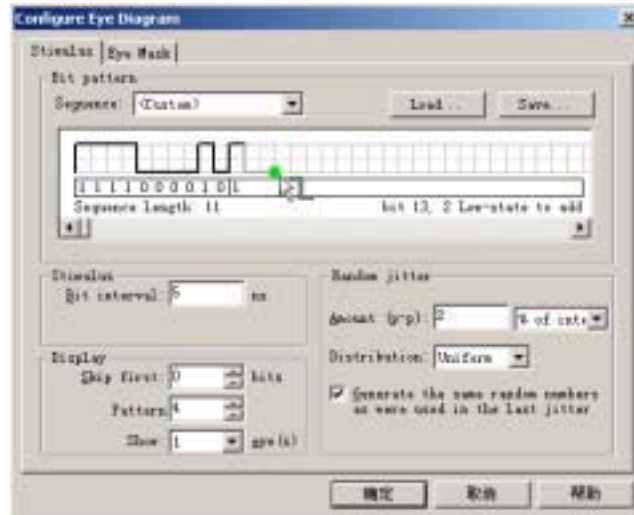
注意：使用变化的位模式类型也可以产生眼图。HyperLynx 支持的包括一个简单重复跳变的波形（例如：时钟）；特殊的 8B/10B 数据或者控制字符的重复序列；指定长度的假随机位序列（PRBS）；或者用户自定义的模式。PRBS 可能是实验室中被最广泛采用的一种触发模式，所以下面我们来试试这个。

- 在窗口中点击眼图的配置按钮“Configure...”；配置眼图的“Configure Eye Diagram”对话框被打开。
- 将位间隔“Bit Interval”改为 5 ns；这定义了仿真中每一位的长度。
- 在窗口右下方的“Random Jitter”选择中，更改“Amount”为 2%和“Distribution”改为 Uniform；在“Display”选择中更改“Show”值为 2；这使得观察 Jitter 更加明显。如下图。



在我们用实际的 PRBS 触发仿真前，先让我们看看用户定义的位模式是如何产生的。

- 在“Bit Pattern”选项的“Sequence”下拉菜单中，选择<Custom>。
- 在下面的白色的位编辑框中，您可以编辑您的模式。移动鼠标到位序列末端，将出现一个绿色的指示方块，通过在高电平和低电平位置拉动鼠标，并点击鼠标左键，完成位模式的编辑；另外，您也可以通过在位模式下方输入“1”或“0”，以文本输入的方式完成位模式编辑。如下图。

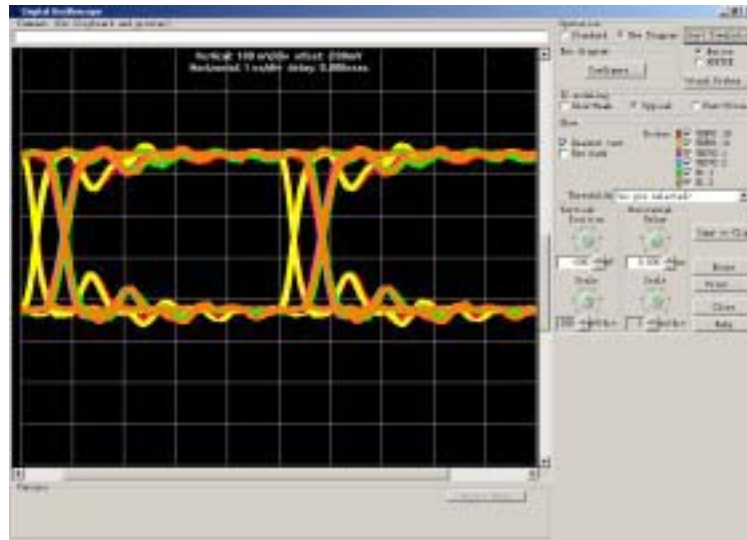


注意：您也可以使用文本文件的方式定义位模式，通过窗口右上方的“Load...”和“Save...”按钮进行加载和存储。

- 现在让我们改回 PRBS 位模式：在“Sequence”下拉框中，选 PRBS。
- 为了使仿真更加简洁，我们设置“Bit”值为 7（意味着 127 位）。
- 点击“确定”按钮关闭眼图对话框。

## 产生眼图

- 在示波器窗口，点击开始仿真“Start Simulation”按钮。
- 在示波器窗口中开始建立眼图，虽然我们还没有调整合适的放大比例，不能看到它的各个细节。
- 当仿真完成，点击示波器右边的“Vertical” — “Scale”向下箭头，将其设置为 100mV/div。
- 拉到垂直滚动条到合适的位置，以让眼图可以位于示波器的中间位置。



- 请注意眼图的睁开程度还是相当开的，但是确实不是很完美的；如果这是一个实际的系统，我们必须对比眼图与目标的技术规范，看看这个信号波形是否是可接受的。

看看进行眼图的仿真是多么的方便：首先将示波器设置在眼图模式；选择 PRBS 触发中期望的长度；最后进行仿真。眼图将在几分钟或更短的时间内产生。为了对比，可以用几种不同的工具产生眼图—特别在 HSPICE 中，但是特别烦杂。

请注意 HyperLynx 也可以使用 HSPICE 进行同样精确的仿真，使用同样的对话框进行触发的设置。这使得不得不使用 SPICE IC 模型进行仿真的用户提供了便利。

注意：HSPICE 仿真的速度较慢，而且，相对于 HyperLynx, ICX 或者 Mentor 的其他信号完整性工具，HSPICE 对于互连仿真的功能较弱。