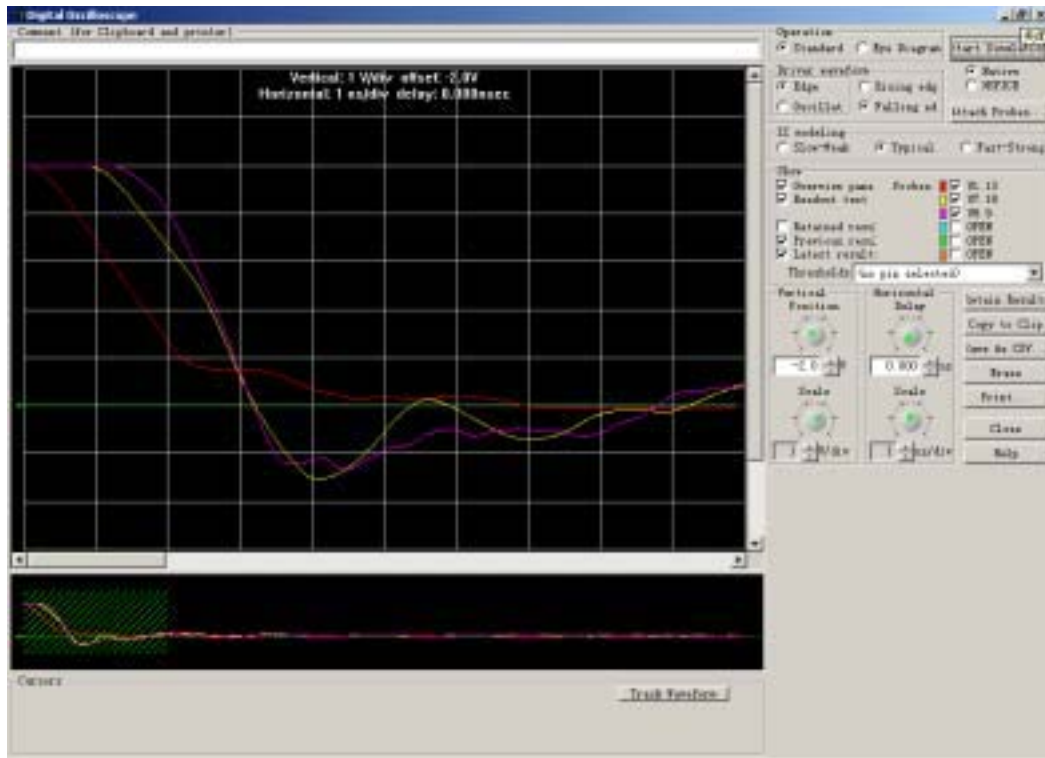


BoardSim 的交互式仿真




BoardSim 中显示了“clk”网络的一些过冲和振铃。

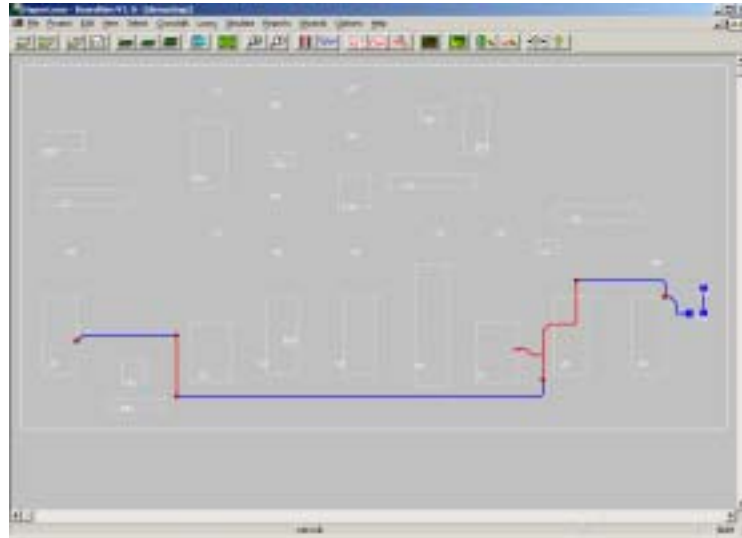
打开 demo.hyp 文件。

交互式仿真“clk”网络


我们刚才看了一下 BoardSim 的批模式仿真。BoardSim 也是一个交互式仿真的分析工具，可以将具体的仿真波形显示在示波器中。下面我们将仿真一下“clk”网络，因为刚才这个网络在批模式仿真中被标为信号完整性和 EMC 都有问题的一个网络。

选择“clk”网络

- 从菜单选择“Select” -> “Net by Name”，或者点击工具条上的图标按钮 。“Select Net by Name”对话框将被打开。
- 在列表中，双击网络“clk”，对话框关闭，在 PCB 板浏览窗口中显示出“clk”网络及走线。

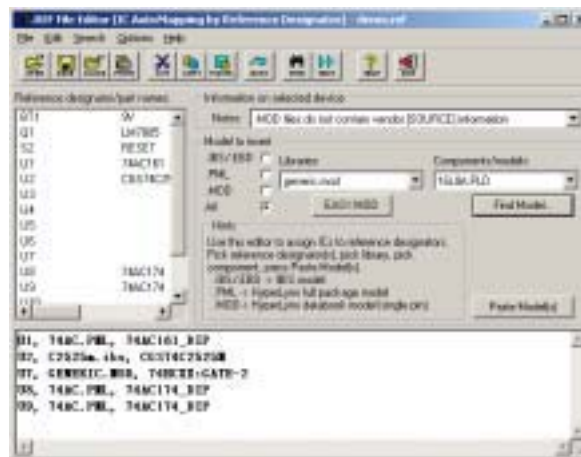


注意：您可以通过点击“Sort Nets By”区域的“Name”单选框，来改变列表中网络名字依字母排序的排序。这也是一个有用的工具，由于可以依网络的长度进行排序，因此对于一块新板，您可以首先分析最长的网络。


请注意各个网络是如何在 Board 浏览器中被显示的：就象在 PCB 布线工具中一样，每一层都有各自的颜色代表金属的走线（包括过孔和元件焊盘）。各种颜色对应于相应的层（各层颜色的设置可以通过工具条上的绿色图标）。

检查“clk”网络的拓扑，驱动 IC 位于左下角，它有两个接收端，一个位于中间位置，另一个位于最右端，并且在走线的末端放置了一个 AC 端接（电阻+电容到地）。但是前一个例子告诉我们其端接值是不对的，现在我们在更改其端接策略和元件值之前先做一个仿真。

注意：这里 IC 模型均已经被指派，您可以在菜单“Edit” -> “.REF IC Automapping File...”中查看。如下图。

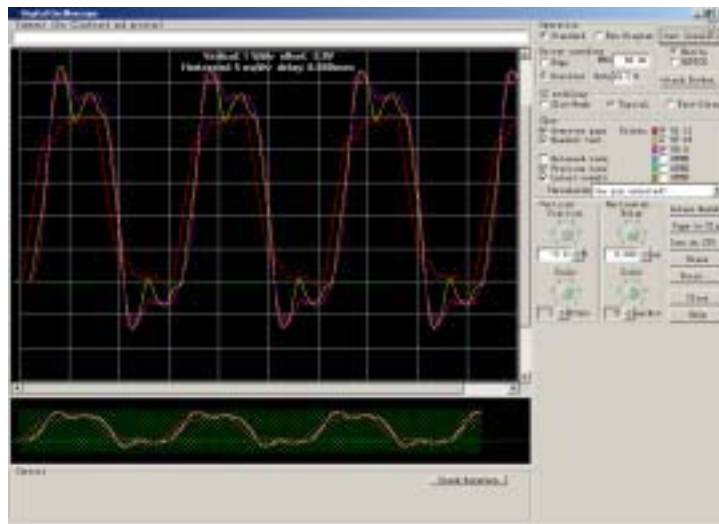


仿真网络 “clk”

- 点击菜单项的“Simulate” -> “Run Scope...”，或者点击工具条上的图标按钮，打开数字示波器窗口。
- 在窗口的右上区域的“Driver Waveform”位置点击“Oscillator”单选框。
- 在 MHz 的输入区输入“100”。
- 在水平刻度（“Horizontal”下的“Scale”）区域向下按箭头按钮，将其时间刻度调整为 2 nsec/div。
- 点击开始仿真“Start Simulation”按钮。


注意：探头被自动地指派，它们的位置显示于板浏览器中的各个对应颜色的箭头，它们的颜色与示波器各通道的颜色一致。

仿真状态窗口被打开并开始运行仿真；被仿真的波形电压值在示波器窗口上显示出来。 如下图。



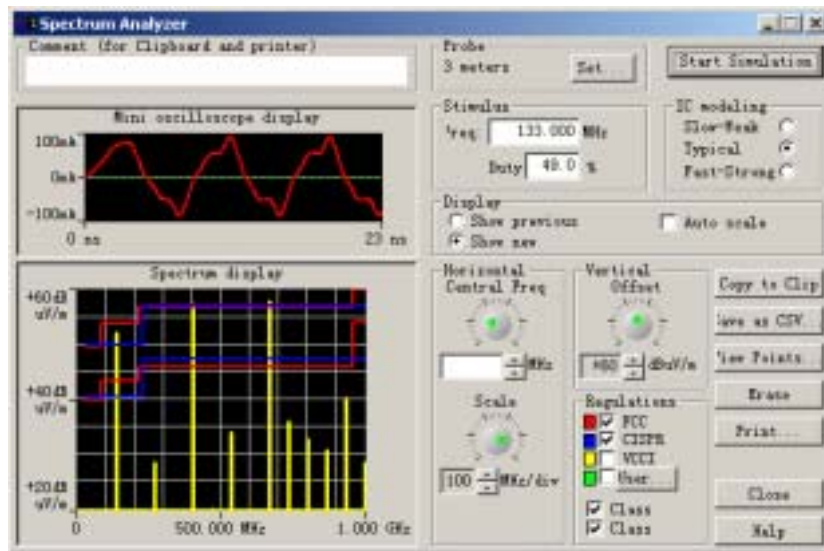
如果您的设计按照此 Demo 的设置，屏幕上看到的显示波形就是实际的电压波形情况：接收端的波形（紫色和黄色的波形）看起来有很多过冲和下冲。同样，它存在大量的高频成分，看起来象是一个辐射源。与前面讨论的板级批模式分析中存在同样的问题。

EMC 分析/频谱分析仪

- 现在选择工具条上的频谱分析仿真图标按钮。或者通过选择菜单项的“Simulate” -> “Run Spectrum analyzer/EMC...”选项。
- 在运行 EMC 仿真之前，请选定各种规范标准，美国的 FCC、欧洲的 CISPR 和日本的标准等。

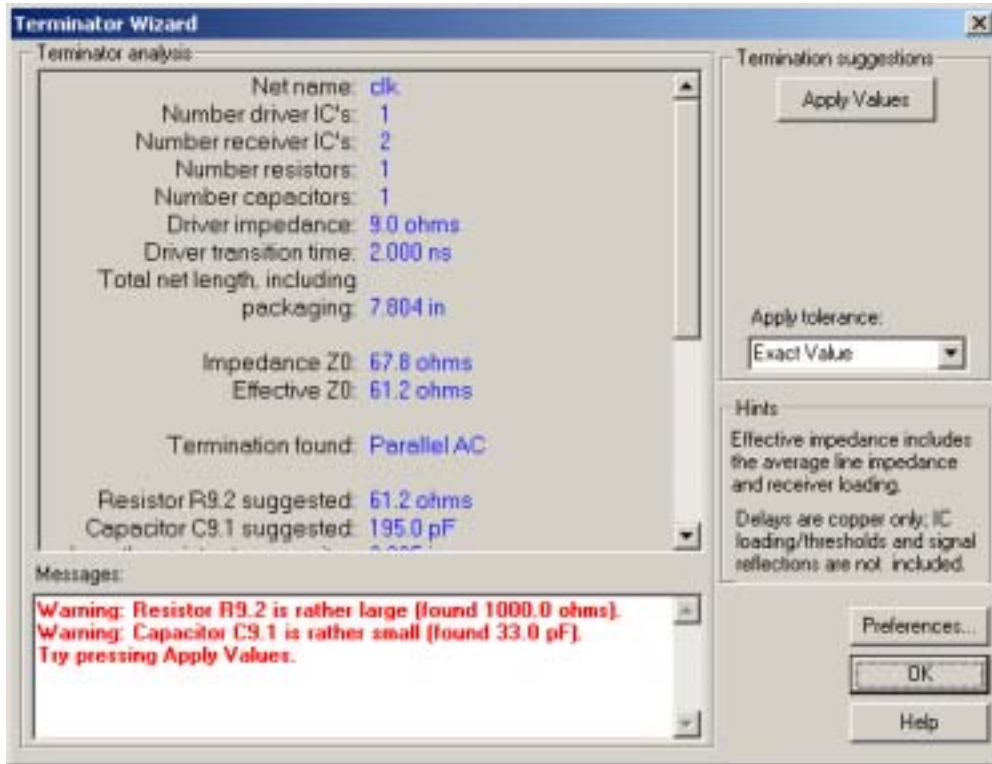
- 调节右边的垂直偏移量 (Vertical Offset), 点击右边的箭头将其从+50 dBV/m 调为+60 dBV/m, 以便将 Class A 的标准线移入视图区。
- 点击开始仿真按钮 “Start Simulation”, 开始 EMC 仿真。

您将看到几个辐射峰值超过了 Class B 标准。如下图。



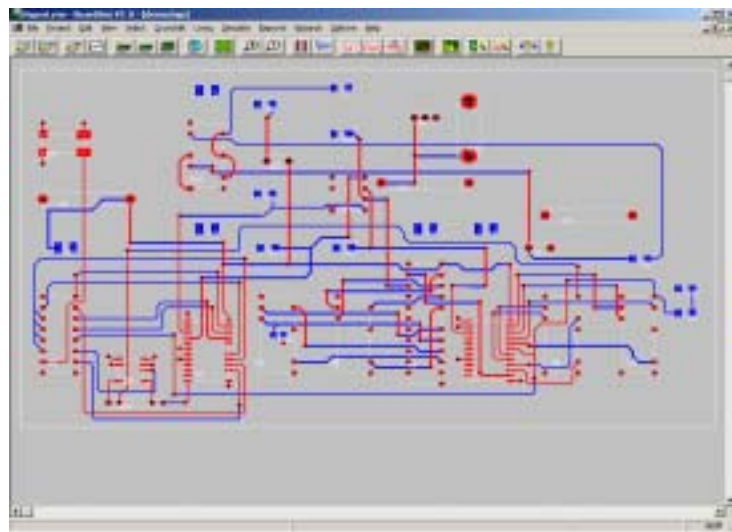
很清楚, 我们看到这个网络的信号完整性和 EMC 都有问题, 我们都已经看到了信号波形和频谱分析的结果, 可是我们如何解决这些问题呢? 板级的批仿真告诉我们这个网络的端接值不匹配, 让我们继续往下看。

BoardSim 端接向导




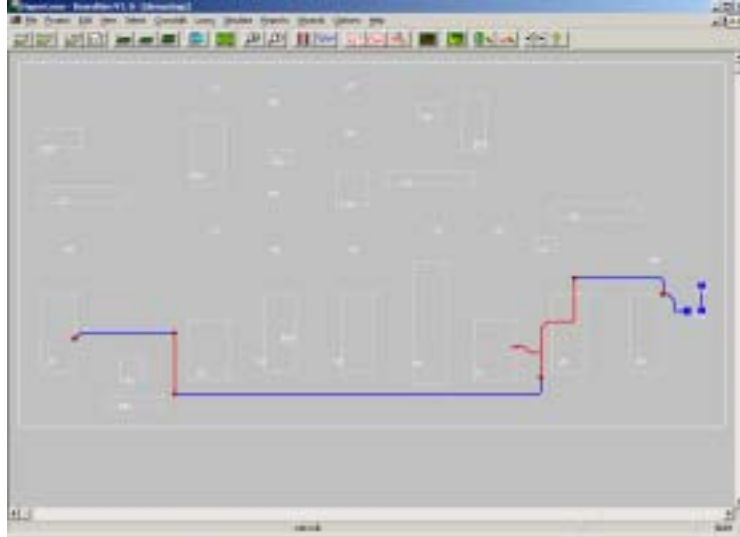
BoardSim 包含一个智能的特点称为端接向导 (Terminator Wizard)，它可以针对信号完整性问题提出端接策略的建议。

选择“clk”网络




通过菜单的 Select > Net by Name...选择“clk”网络:

- 选择菜单的 **Select** 项，再下拉选择 “Net by Name...”，或者点击工具条上的图标按钮 。打开 “Select Net by Name” 对话框。
- 在列表中，双击网络 “clk”，对话框关闭，在 PCB 板浏览窗口中显示出 “clk” 网络及走线。



注意：您可以通过点击 “Sort Nets By” 区域的 “Name” 单选框，来改变列表中网络名字依字母排序的排序。这也是一个有用的工具，由于可以依网络的长度进行排序，因此对于一块新板，您可以首先分析最长的网络。

请注意各个网络是如何在 Board 浏览器中被显示的：就象在 PCB 布线工具中一样，每一层都有各自的颜色代表金属的走线（包括过孔和元件焊盘）。各种颜色对应于相应的层（各层颜色的设置可以通过工具条上的绿色图标 ）。

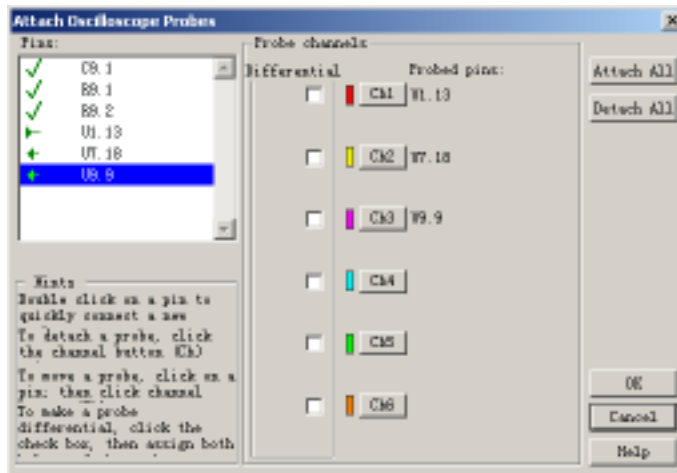
检查 “clk” 网络的拓扑，驱动 IC 位于左下角，它有两个接收端，一个位于中间位置，另一个位于最右端，并且在走线的末端放置了一个 AC 端接（电阻 + 电容到地）。但是前一个例子告诉我们其端接值是不对的，现在我们在更改其端接策略和元件值之前先做一个仿真。

指派示波器探头

通过点击工具条上的示波器图标 ，打开示波器窗口，点击右上角的 Attach Probes...按钮，指派示波器的探头给 IC 的 U1.13、U7.18 和 U9.9。或者也可以通过菜单上的 Simulate → Run Scope... → Attach Probes...：


- 选择菜单 **Simulate** → **Run Scope...**，打开示波器窗口，选择 **Attach Probes...**，打开指派示波器探头的对话框。
- 在左边的 **Pins** 列表中，双击 “U1.13”。这个 **Pin** 就被自动指派给示波器的通道 1 (Ch1)。
- 双击 “U7.18”，它被自动指派为通道 2 (Ch2)。
- 双击 “U9.9”，它被自动指派为通道 3 (Ch3)。

- 点击 OK 按钮。



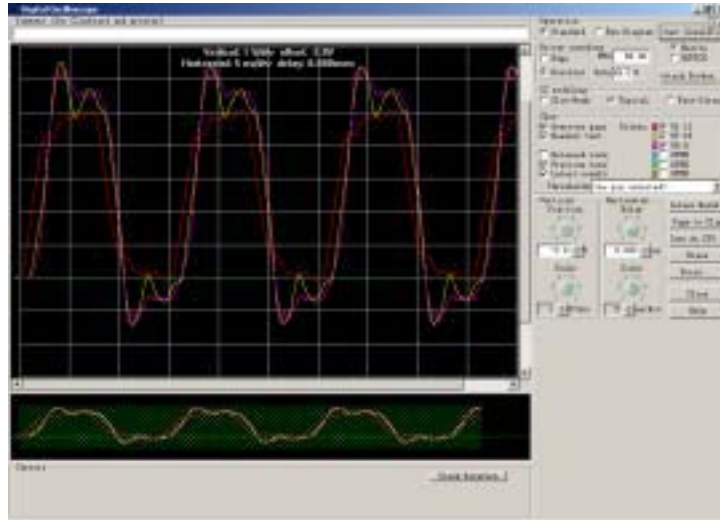
请注意这探头的板浏览器中是如何显示的：显示的每一个带颜色的箭头与其示波器中的各通道颜色是一致的。

仿真网络 “clk”

仿真网络 “clk” 使用菜单 Simulate → Run Scope... ，或者工具条上的示波器图标按钮 。

- 选择 **Simulate** 菜单，再选择 **Run Scope...**，打开数字示波器 **Digital Oscilloscope** 对话框窗口。
- 在中间上方的驱动波形（**Driver Waveform**）区域中选择单选按钮 “**Oscillator**”。
- 在 “**MHz**” 输入框中输入 “**66**”。
- 点击开始仿真 “**Start Simulation**” 按钮。

仿真状态窗口被打开并开始运行仿真；被仿真的波形电压值在示波器窗口上显示出来。 如下图。



如果您的设计按照此 Demo 的设置，屏幕上看到的显示波形就是实际的电压波形情况：接收端的波形（紫色和黄色的波形）看起来有很多过冲和下冲。同样，它存在大量的高频成分，看起来象是一个辐射源。与前面讨论的板级批模式分析中存在同样的问题。

调试“clk”网络

检查端接可以从菜单“Select” -> “Component Models / Values...”

- 将示波器窗口最小化。
- 选择菜单项“Select” -> “Component Models / Values...”，打开指派模型“Assign Models”对话框。
- 在左边的 Pins 列表中，点击“R9.1”高亮，右边将显示出电阻的模型对话框。

请注意电阻的阻值是 1000 Ohms。这个阻值对 AC 端接来说太大了。




检查电容值：

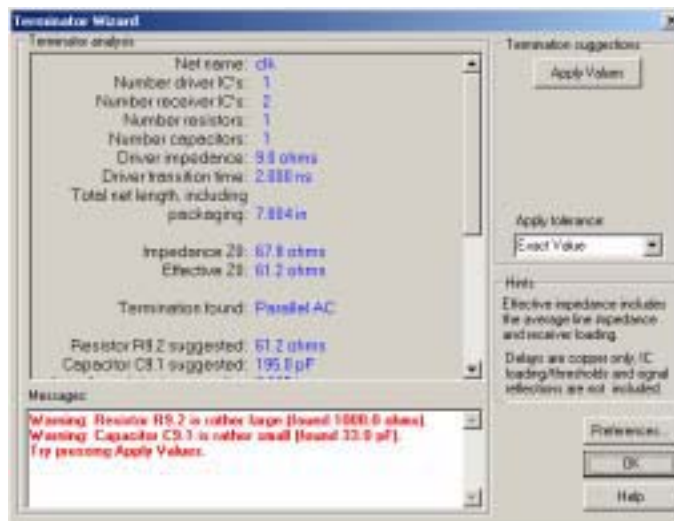
- 在左边的 Pins 列表中，点击“C9.1”高亮，右边将显示出电容的模型对话框。

电容值是 33 pF—对于“clk”网络来说可能太小了，好了，不要推测了！让我们来运行一下端接向导就知道了。

运行端接向导

运行端接向导可以从菜单“Wizards” -> “Terminator Wizard...”，或者选择工具条上的图标按钮。

- 关闭刚才的指派模型“Assign Models”对话框。
- 选择菜单的“Wizards”选项，选择“Terminator Wizard...”，端接向导对话框将打开。



当您运行端接向导的时候，BoardSim 会自动地分析被选择的网络，并生成一个走线状态列表，在列表的底部，您可以看到它对端接的建议值。在这个例子中，向导可以正确地测定这个端接的类型是并行 AC (“parallel AC”) 端接。并计算出优化的建议 R 和 C 值，在计算中，BoardSim 可以自动地计算各种结果，如接收端 IC 的负载电容、总共的走线长度和驱动阻抗等等。

应用端接向导的建议值

让我们通过端接向导的元件建议值来试试，点击 Terminator Wizard 窗口右上方的值应用“Apply Values”按钮。

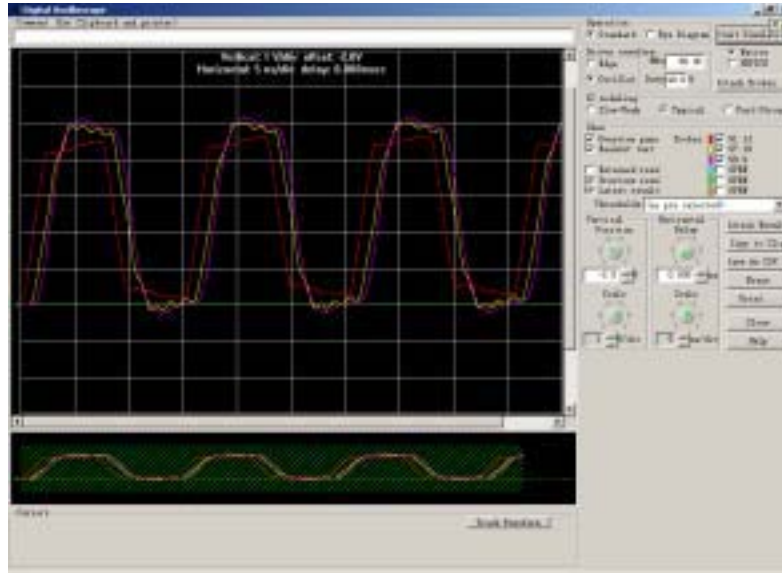
- 在端接向导窗口中，点击右上方的值应用“Apply Values”按钮。
- 点击“OK”按钮，关闭对话框。

这时，端接向导的建议值就已经被输出到“clk”网络上的电阻和电容中。

接下来让我们重新仿真一遍看看效果如何！

重新仿真“clk”网络

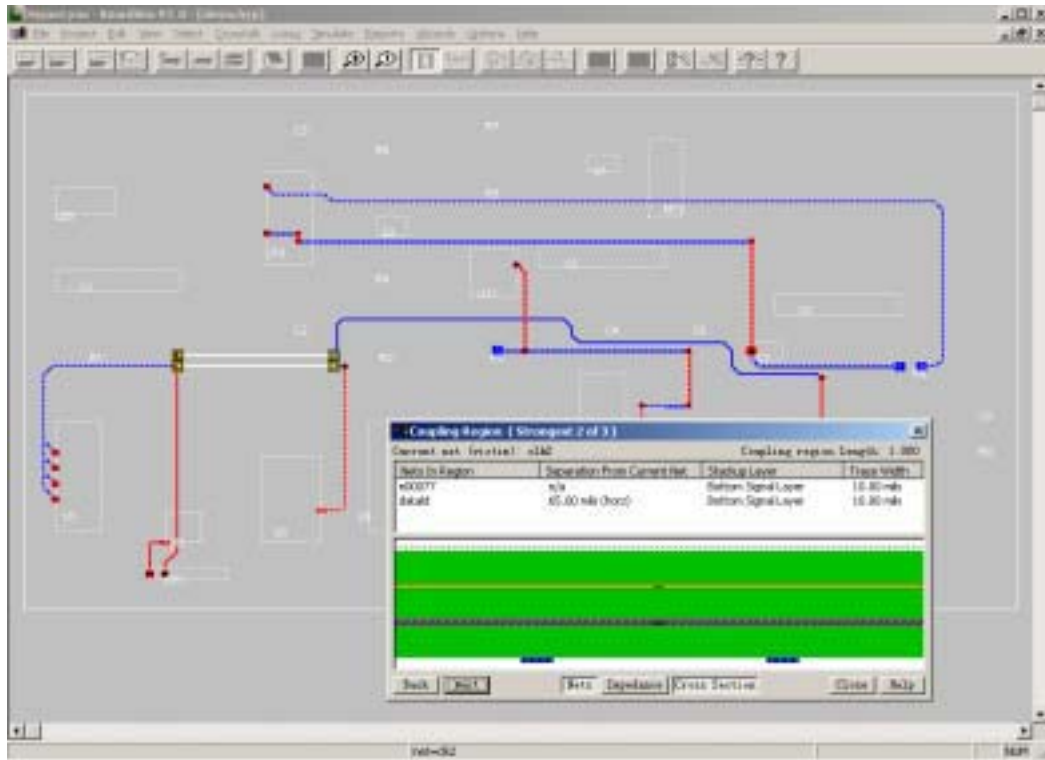
- 最大化数字示波器窗口。
- 点击“Erase”按钮以清楚之前的仿真波形。
- 点击右上方的开始仿真“Start Simulation”按钮。



请注意此时的波形，在接收端 IC（紫色和黄色）的过冲和下冲已经被消除了。而且，比之前的波形更少了高频成分，不论从信号完整性还是电磁辐射方面都改善了信号波形。BoardSim 可以自动地为您计算出最佳的端接元件值。

注意：如果您的设计中有 10%—20%的走线需要考虑信号完整性问题，请将刚才您所所做的工作（包括相关的调试等）与您在实验室中用电烙铁和示波器对原型样机进行的费时费成本的调试做一对比！很清楚这个工具可以为您的复杂的高速设计节省大量的时间和资金。

BoardSim 串扰分析



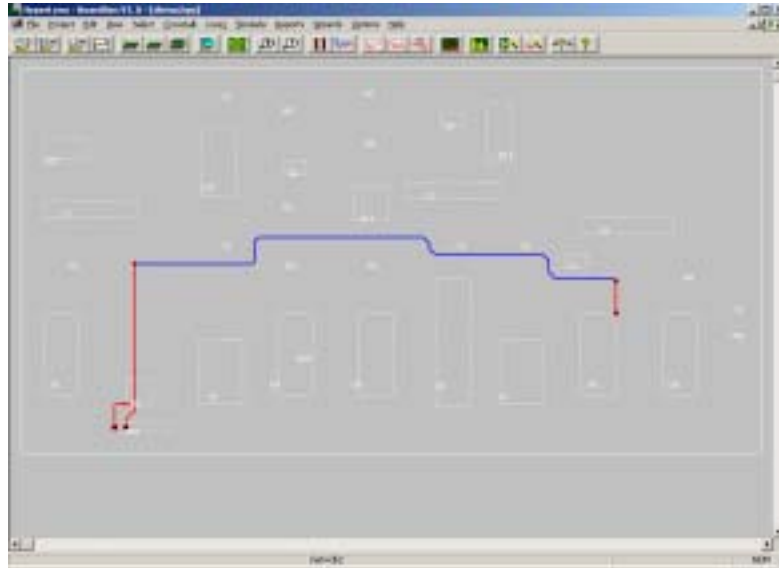
BoardSim 提供了一种独特的方法查找复杂布线中的耦合网络和查看拓扑图形中的耦合区域，同时可以显示出截面浏览图。

根据用户设定的电平域值，BoardSim 将显示耦合区域中布线间距和长度等几何信号。

让我们来看看下面这个例子

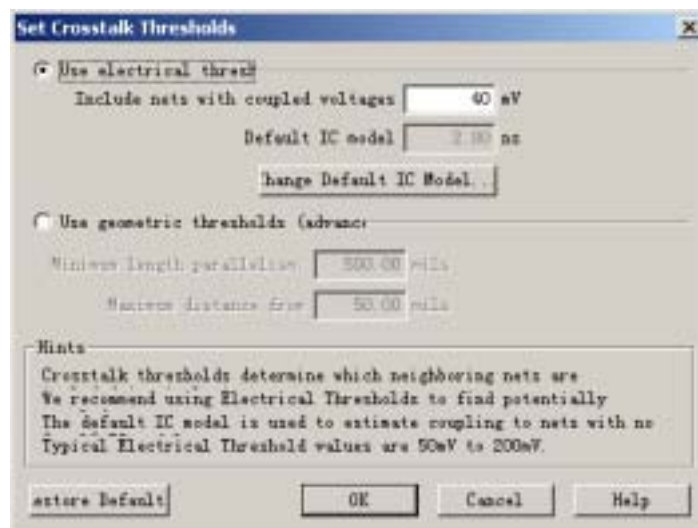
选择“clk2”网络

- 打开 demo.hyp 文件。
- 通过菜单“Select” → “Net by Name...”选择网络“clk2”。如下图。

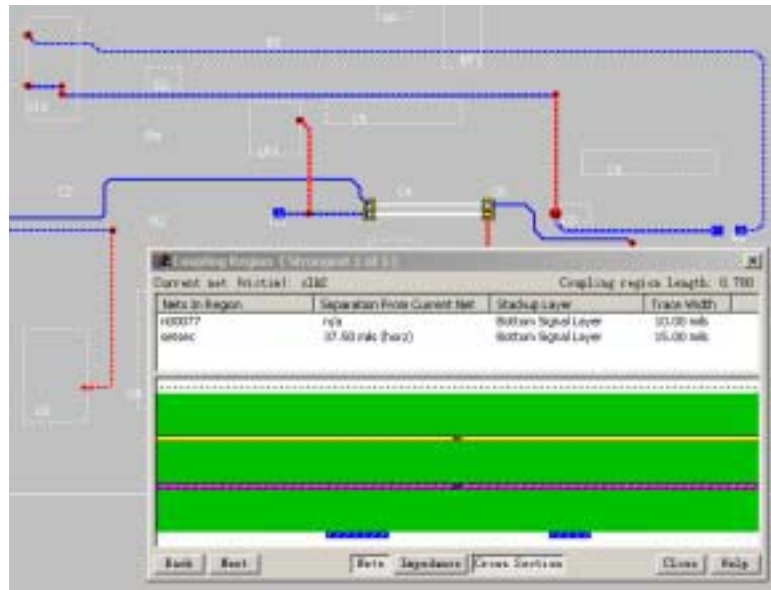


串扰仿真

- 选择主菜单“Crosstalk” -> “Enable Crosstalk Simulation”。或者点击工具条上的图标按钮，使能串扰仿真。
- 再选择主菜单上的“Crosstalk” -> “Set Crosstalk Thresholds”。打开设置串扰域值对话框。
- 点击“Use Electrical Thresholds”单选框，输入 40 mV 作为串扰域值。如下图。



- 点击“Change Default IC Model...”按钮，设置 Rise/fall time 值为 1 ns。点击“OK”按钮。
- 再次选择主菜单“Crosstalk” -> “Walk Coupling Regions (Field Slover views) ...”
- 点击“Next”按钮浏览各个耦合区域，同时观察白色的“耦合条”，它显示的就是超过我们设定的超过耦合域值的区域。 如下图。



您应该可以看到三个被标示的耦合区域。

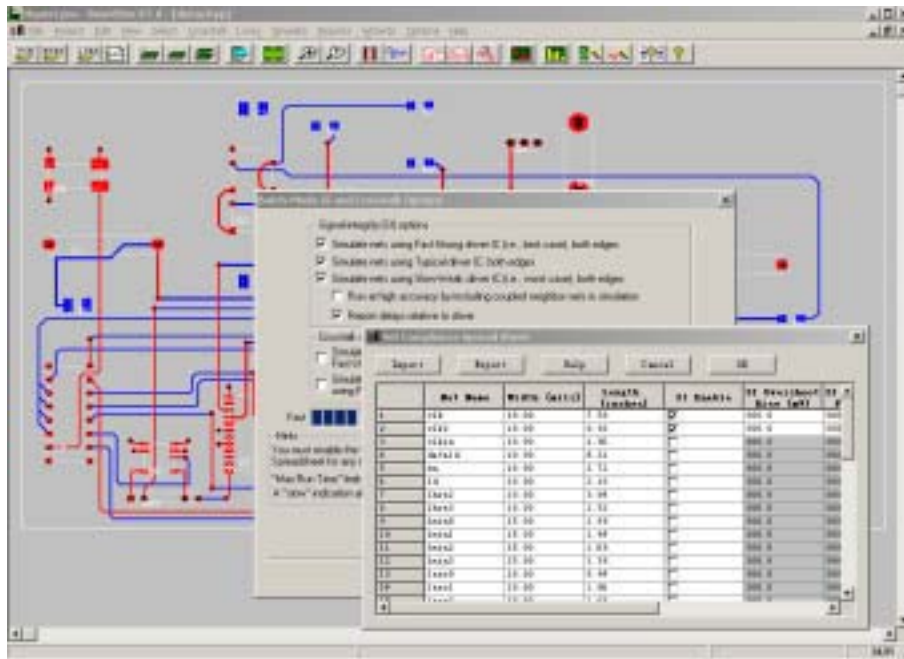
- 点击“**Impedance**”按钮，显示 L、C、Z 值并优化串扰段的端接值。

查找到串扰问题是解决这个问题的第一步，我们可以通过菜单的 File 下的 Export 功能，将其导出到 LineSim 中进行详细的解决，解决的方法类似于上面提到的 LineSim 串扰的例子。

BoardSim 提供了与常用的仿真器的接口，包括 HSPICE、ICX、XTK、ePlanner 和 LineSim。对其中一些工具（HSPICE 和 XTK），这种方式是输入板级数据信息最为方便的一种方法。

- 选择主菜单“**File**” -> “**Export Net/Board to...**”。可以将目前被分析的网络或者整板信息导出到各种仿真器中。

BoardSim 的板级分析



快速地分析整板的信号完整性（SI）和 EMC 问题（板级向导/批模式）

BoardSim 包含一个强大的批处理模式的功能称为“Board Wizard”（板级向导），它只需要一个简单的操作，就可以扫描您的整个 PCB 板或者整板的某部分。板级向导提供了一套“快速分析”的功能，它可以高效地分析您的这个 PCB，查找象信号完整性和 EMC 等问题；它的另外一个子功能可以对被选择的网络进行自动的、详细的仿真，可以分析详细的参数如过冲、极限制和驱动端到接收端的延迟等。根据用户定义的规则约束，这些很多都可以自动地被检查。例如：可以标示出那些过冲超标或者延迟超标的网络。

板级向导快速分析功能可以做为一个很好的进度规划工具，例如：如果您刚刚从 PCB 设计组得到一个设计，而且需要对这个设计的质量和进度快速地规划。那么您可以利用它的彩色输出报表来指导下一步的工作和进行更具体的分析。

打开演示板文件“DEMO.HYP”

- 选择菜单“File” -> “Open BoardSim File (.HYP) ...”，跳出打开 BoardSim 文件对话框。
- 双击 DEMO.HYP 文件，BoardSim 打开此文件。

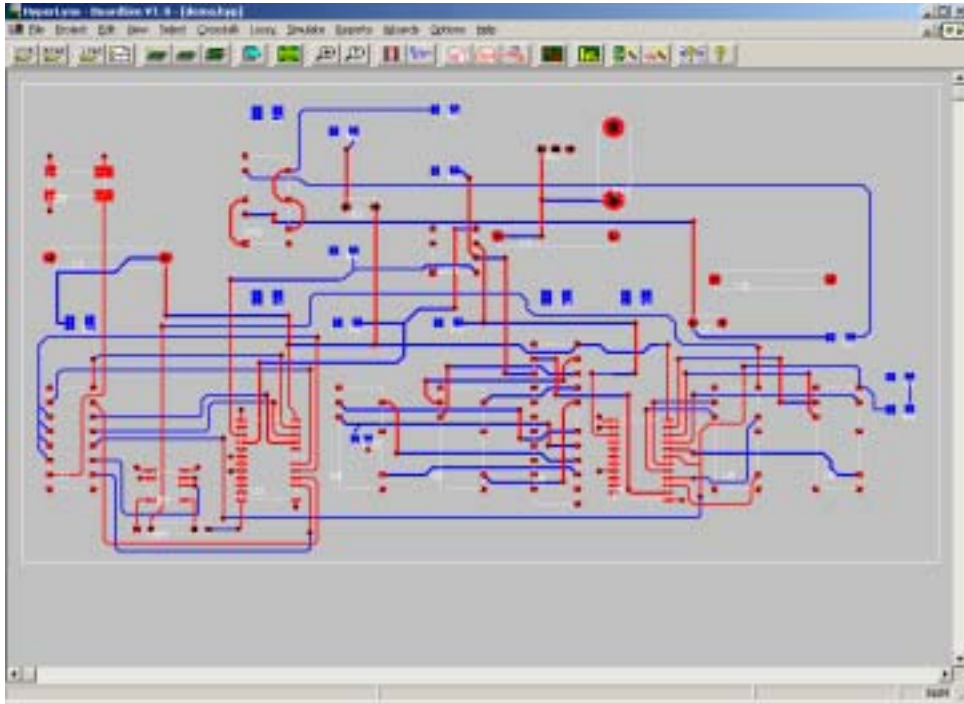
这时您将在 BoardSim 的板浏览器窗口中看到整个 PCB 的设计文件。

板浏览器


BoardSim 包含一个物理板浏览器（一些仿真器中没有）。如果您没有 PCB 设计的软件（例如：您的 PCB 板是通过外包的其他服务公司设计的，或者要求

是 UNIX 平台但是您工作于 PC)，BoardSim 为您提供了便于浏览 PCB 设计文件的方便。

板浏览器显示了 Demo 板的外框、元件形状和参考符号等。请注意在顶层的器件有白色的外框，底层的器件有灰色的外框。在这个板上，表贴电阻和电容都位于底层。如下图。



对整板进行快速分析

选择菜单项的“Wizards” —> “Board Wizard (Batch mode) ...”，或者通过工具条上的图标按钮。

- 选择菜单的“Wizards” —> “Board Wizard (Batch mode) ...”，板级向导对话框打开。
- 保持所有的复选框为选择为默认值（默认情况是：两个“Detailed Simulations”复选框不选择，“Quick analysis”的前6个选项勾选，其他几个不选）。这样几个最感兴趣的选项就会被包含于快速分析报告中，点击“下一步”按钮，进入批模式默认驱动器设置页。