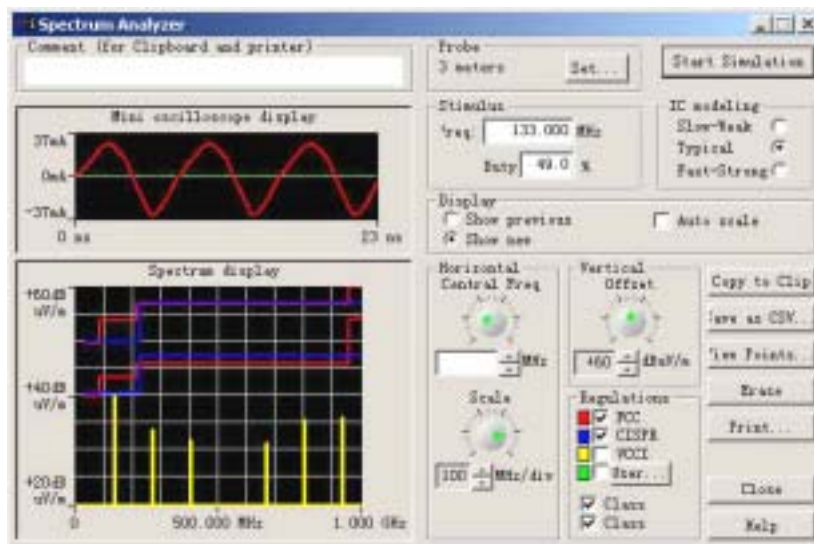


时钟基频的辐射值超过了 FCC 和 CISPR 的 Class B 的标准限制，因此，为了达到目标，我们可以尝试将线长缩短一些。

- 点击 **Close** 按钮，退出频谱分析窗口。
- 右键点击传输线符号，编辑传输线窗口将跳出。
- 选择 **Values** 页表改变传输线的长度为 **4 Inches**。
- 关闭编辑传输线对话框。
- 再次点击频谱分析仪工具条图标按钮 。
- 点击开始仿真“**Start Simulation**”按钮，观察 133MHz 频率处的辐射值，可以发现现在可以通过 FCC 和 CISPR 的 Class B 标准。如下图。



花了不到 10 分钟的时间就解决了在实验室可能要花大量的时间去重复实验验证的 EMI 问题。

如果您继续使用这个网络做 What-if 分析，您将发现 4 Inches 的长度是这个串行端接时钟网络的限制（假定您需要考虑 CISPR EMC 限制）；如果您想提供

一些 133MHz 的裕量也许需要更短一些。这样，您就可以得到这些的一些设计的物理约束参数。

## 有损传输线模型

由于设计的产品的速度越来越快，以及 IC 产生的时钟沿的速率也越来越快，分析 PCB 走线和介质材料的损耗变得越来越重要。幸运的是，在 LineSim 和 BoardSim 中的有损模型也是简单到只要点击一个按钮就可以了。马上，我们就将看到。





**注意：**损耗通过衰减电压幅值和软化信号边沿引起信号的失真。最终结果经常是增加了信号延迟。从物理上来说，损耗是由于 PCB 走线和周围的介质材料的发热而引起的。在高频情况下，损耗将更加严重，所以对于边沿较陡的器件损耗将更严重。

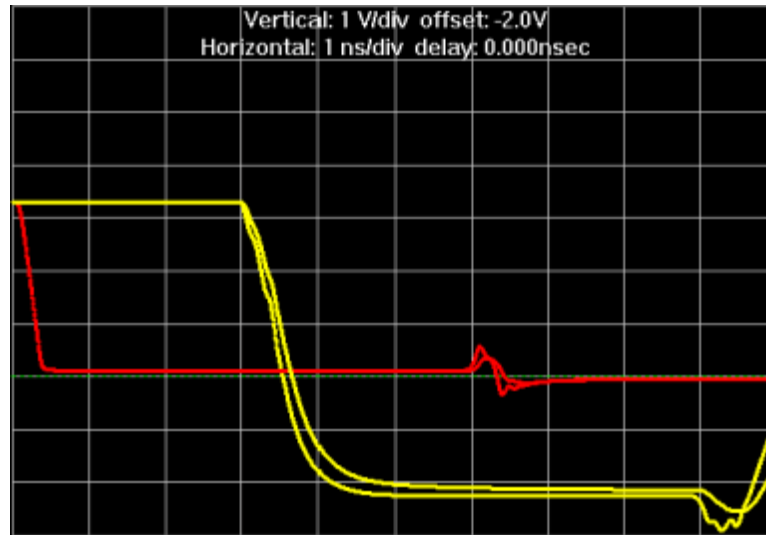
## 更改原理图

- 如果频谱分析仪窗口还开着，请关闭它。
- 更改驱动端模型为一个开关边沿速率更快的模型：在驱动 IC 符号上点击右键，点击 Select 按钮，选择 EASY.MOD 库，再选择“CMOS,3.3V,Ultra-Fast,”，然后点击 OK 按钮，关闭窗口。
- 移除串行电阻：左键点击串行电阻符号处，选择 None。
- 延迟传输线：在原理图上右键点击传输线，选择 Values 页表，改变线长为 20 Inches。

我们改变了这些参数，是因为更快的驱动沿和更长的走线将会引起更多的损耗。

## 对有损和无损的仿真对比

- 点击工具条上的红绿色的示波器图标按钮 。
- 确认工具条上蓝灰色的有损仿真图标  处于未点击状态。
- 点击开始仿真“Start Simulation”按钮。
- 确认示波器窗口中 Show 下的复选框“Previous Results”是被选中的。
- 现在点击工具条上的有损仿真图标  处于有损仿真状态。
- 点击红绿色的工具条示波器图标按钮 ，点击开始仿真“Start Simulation”按钮，重新仿真。
- 注意观察对有损仿真波形的不同点：例如，黄色的接收端波形增加了额外的延迟。如下图：




使用更快的驱动端 IC，例如使用 Multi-Gigabit，超高频串行总线（例如 PCI Express、HyperTransport 等等）。损耗的仿真效果将更加明显。

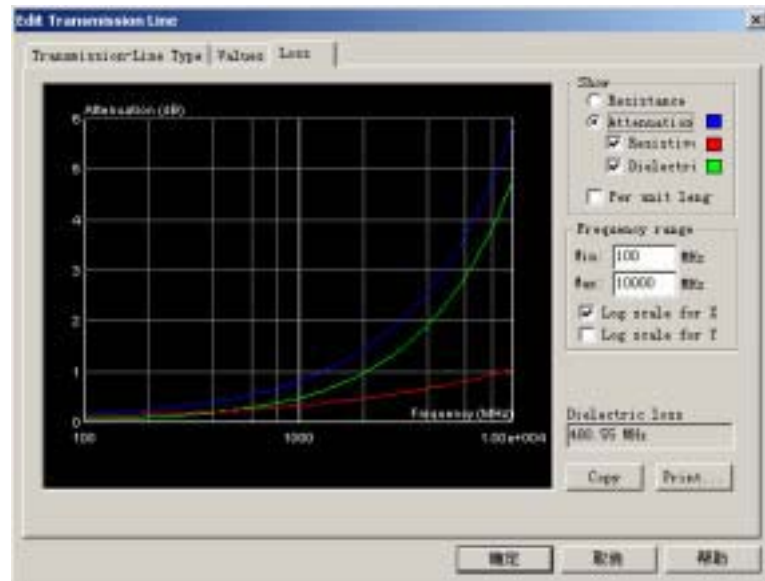
用 XTK 和其他可信赖的信号完整性工具使用的同样的“W 元素”算法，LineSim 和 BoardSim 都可以进行损耗仿真。这个算法可以自动地计算象趋肤效应等一些复杂的问题。

现在您可以看到在 HyperLynx 中进行有损效应的仿真是多么的容易了——只需要一个按钮就可以完成后续的一系列仿真。

#### 选项：

高级的用户可能想测试在频域上的损耗：

- 在原理图的传输线符号上点击鼠标右键。
- 点击频域（Frequency Domain）查看表“Loss”，请注意只有在有损仿真  被使能时才出现此图表。
- 点击衰减率按钮，确认 Resistive 和 Dielectric 复选框已经被选中。
- 请注意曲线显示在高频时信号的衰减是如何增加的，对于这根传输线在 480MHz 以后，介质损耗（绿色）占了主导作用，而阻抗的损耗（红色）作用越来越小。如下图。



## 支持 HSPICE 仿真

IBIS 模型广泛地应用于信号完整性仿真,但是对于超高频的 IC 并不都可用。例如在 multi-gigabit (或者“3GIO”) 串行总线的收发器中。通常,这些 IC 的厂商都只提供加密的 HSPICE 格式模型。

幸运的是,使用一种叫“SPICELynx”的功能,LineSim 和 BoardSim 都能够运行 HSPICE 作为一种可选仿真。这可以让用户使用 HSPICE 模型交互式地仿真一些网络,提供了同样的友好的工作环境。

**注意:** 在 HyperLynx 中运行 HSPICE 要求用户有 HSPICE 的授权,大部分的 3GIO 技术均有此授权。

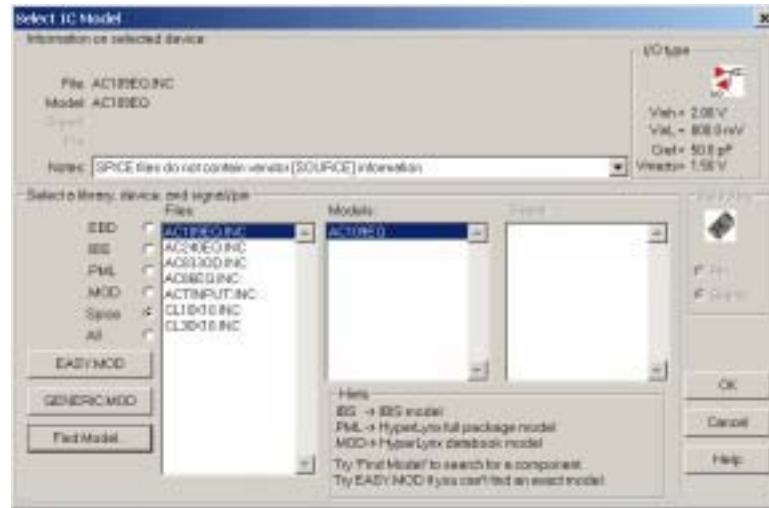
## 设置 HSPICE 仿真

在 HyperLynx 中设置 HSPICE 仿真就像设置一个平常的 IBIS 仿真一样方便。看一个例子,首先确认一些 HSPICE 模型的可用性。

- 关闭打开的任何窗口。
- 选择菜单的 **Options / Directories**
- 如果需要,使用编辑按钮增加以下的 IC 模型路径: “<HyperLynx 路径 \Libs\Spice”

注意: 如果您还没有 SPICE 例子模型,你必须阅读一些相关的知识。

- 现在,在原理图中左键点击接收端 IC 符号,移除它。
- 右键点击驱动端 IC,点击 **Select** 按钮。
- 点击 **SPICE** 单选按钮,只显示 SPICE 文件;如果您的路径设置正确并有部分模型,您将看到少量的“.inc”文件。如下图:




- 选择列表中第一个 SPICE 模型并点击 OK 按钮。
- 注意一个 spreadsheet 电子表格显示 SPICE 模型的“ports”。仿真之前，每一个 Ports 必须被连接，注意电源 Ports (“VCC”和“XGND”) 可以被 LineSim 自动地连接。
- 连接 SPICE 模型的输入 port 到 LineSim 的数字仿真中：点击 Vin 的电路连接单元，选择 Stimulus。
- 连接 SPICE 模型的输出 port 到原理图的 A0 单元：点击 Vout 电路连接单元，选择 U (A0)。

SPICE Port	Circuit Connection
Vin	Stimulus
Vout	U(A0)
VCC	Vcc
XGND	Gnd

注意选择这个 HSPICE 模型就像选择 IBIS 模型，除了它们有一些额外的 Ports 需要被接通。

## 运行 HSPICE 仿真

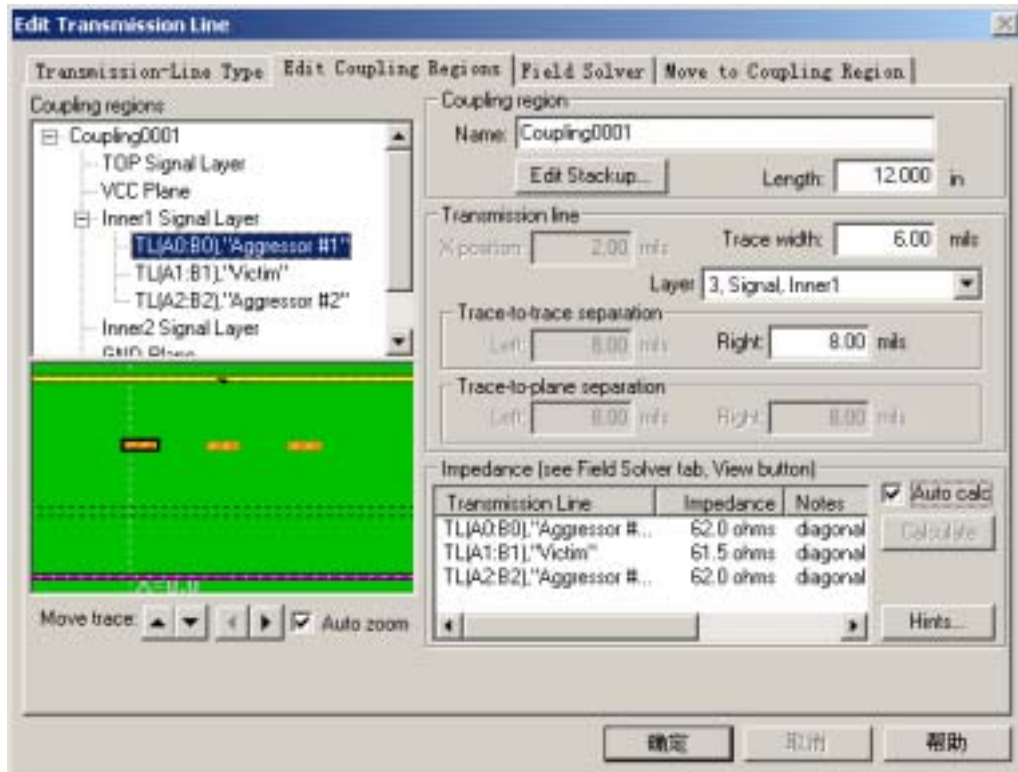
现在我们准备运行 HSPICE 仿真，虽然你实际上并不能产生波形和浏览它，除非您的 PC 上有 HSPICE 的授权。

- 点击红绿色的工具条示波器图标按钮 。
- 点击右上角的开始仿真“Start Simulation”按钮开始仿真。
- LineSim 将给出一个信息说：发现了一个 HSPICE 模型，因此要从 HyperLynx 的内置仿真器切换到 HSPICE 仿真。
- 点击 OK；出现一个对话框给出一些 HSPICE 文件的控制和输出显示。
- 点击 OK。如果您有 SPICE，一个窗口打开，显示出 HSPICE 信息和运行信息；当仿真完成，HSPICE 波形显示在 LineSim 的示波器窗口中。如果您没有 HSPICE，将出现一个窗口告诉您找不到 HSPICE。

LineSim 已经被设计成仿真 HSPICE 就像感觉在运行 LineSim 仿真。这样可以帮助用户单独运行 HSPICE 的操作不习惯：通过手工建立网络列表、手工运行场分析、产生触发文本、打开一个单独的工具去浏览波形等等。

HyperLynx “包含”的 HSPICE 对于布线后的分析特别有用（网络列表几乎不需要手工建立）；进行眼图分析，而在 HSPICE 中进行长的数字触发显得相当不方便。

## LineSim 串扰分析



LineSim 的串扰选项帮助您制定布线前的布线约束。

在这个例子中我们将研究不同的方法来控制一般总线上的串扰。

### 总线设计的间距

假设您正在设计一个总线，想保证在每一根总线上的互相串扰不超过 200mV，让我们来看看 LineSim 的串扰仿真功能如何帮助您达到您的目标，建立合适的布线约束条件规则。


### 总线上的串扰仿真

在现在的数字系统的典型总线一般包括许多物理上的并行走线—16、32、64 位，甚至更多的信号线。可是，当您对这样的一组总线进行仿真时，很明显您不会对所有的信号同时进行仿真（如果包括所有的信号进行仿真将浪费大量的时间）。相反，您应该利用串扰的特点，对造成串扰的受害网络影响最显著的两个网络进行仿真分析：受害网络两边距离最近的两个网络。所以，一般来说，您应该集中尽力来分析仿真这三根网络组。

### 建立基本的传输线

选项：为了在 Demo 中节省时间，您可以跳过前面的这些步骤，而直接在您的 HYPFILES 目录中打开“XT Trace Separation.TLN”。

让我们开始通过在原理图中建立一组三个相邻的走线。

- 点击工具条上的新建 LineSim 原理图图标 ，建立一个新的 LineSim 原理图。
- 左键点击 CELL:A0 和 B0。
- 左键点击这两个 IC 符号之间的一段传输线。
- 在传输线符号上点击右键，打开传输线编辑对话框。
- 在“Coupled”中选择单选按钮“Stackup”。将进入“Add to Coupling Regions”对话框页，(New Coupling) 将出现在左边的窗口中。
- 现在点击“Edit coupling Region”表页，这里可以浏览我们建立的耦合区域的截面图。从这里，点击 Layer 对话框中的下拉菜单，从中选择“3, Signal, InnerSignal1”，以及不选择“Auto Zoom”复选框以便可以浏览整个叠层结构。
- 点击传输线类型“Transmission-Line Type”页表，在 Comment 域中填上“Aggressor 1”。
- 点击“确定”按钮退出。
- 重复以上的几个步骤，用同样的方法建立第二和第三根网络，必须注意保证三根传输线处于同一个耦合区域“Coupling0001”中，命名第二根位于中间的传输线为“Victim” [TL (A1,B1)]，而第三根位于右边的传输线命名为“Aggressor 2” [TL (A2,B2)]。它们之间的左右位置可以通过窗口底部的左右方向的箭头移动，按照需要调整三根传输线的位置，如下图：



在 Coupling region 中默认的平行长度是 3 inches，线宽是 6.0 mils，线到线的间距是 8.0 mils。



- 在对话框的顶部，在 Name 域中输入“Generic Bus Example”。
- 改变长度为 12.0 inches。

注意在“Transmission-Line Type”页表中的单选框“Coupling Direction”。这是 LineSim 串扰的高级特点，它可以对比我们这里讨论的例子更复杂的耦合对进行仿真。需要更多的信息，请点击“Hints”按钮。

## 指派 IC 模型

现在，我们已经建立了三根平行的传输线例子，下一步，在仿真之前我们必须先指派 IC 模型。

- 将鼠标指针移动到原理图左端的任何一个驱动 IC 符号上，您将看到 IC 符号周围将出现一个红色的方框。
- 右键点击 CELL:A0 位置上的 IC 符号，将出现一个“Assign Models”对话框。
- 下一步，点击对话框右边的“Select...”按钮，打开“Select IC Model”对话框。
- 在对话框的左边，点击“EASY.MOD”按钮，将显示出一个 HyperLynx 的常用模型。
- 从列表中选择“CMOS,3.3V,FAST”，点击 OK 按钮。
- 这时，一个确认框出现，询问是否将  $V_{cc}$  改变到 3.3V，点击“Yes”。
- 然后，点击“Assign Models”页的“Copy”和“Paste All”按钮快速地指派所有的 IC 模型都为“CMOS,3.3V,FAST”。

请注意在 IC 符号的“Assign Models”对话框中指派的模型默认为“Input”类型。

- 通过选择对话框中的“Buffer Setting”改变 U(A0)和 U(A2)类型为“Output”类型。

三根传输线代表了总线中并行的三根走线。左端三个三角形的 IC 驱动符号代表三根传输线左端的输出驱动器。每根线的右端都有一个 IC 的接收端。

在仿真这个设计之前，我们将驱动端 U(A0) 更改为更快的器件，以便在示波器仿真时与 U(A2)的波形不至于重叠。

- 在“Assign Models”对话框中点击 U(A0)。再点击“Select...”按钮，将其模型改变为“CMOS 3.3V ultra-fast”，以便将 Aggressor 1 和 Aggressor 2 的区别开。
- 在“Assign Models”对话框中的“Pins”列表中选择 U(A1)，在对话框右上方的“Buffer Settings”项目中选择“Stuck Low”。这表示在仿真中这个信号是保持在不变的低电平。点击“关闭”按钮，关闭此对话框。

返回到原理图编辑器，请注意中间的走线驱动器旁边的“0”，这代表这个驱动是“Stuck Low”的。

## Victim 与 Aggressor 线

将各驱动 IC 设置为这种方式（中间走线设定为“Stuck Low”，外面的走线设定为开关信号）是因为我们想将中间的走线定义为“Victim”（受害者）和将外面的两根线定义为“Aggressors”（攻击者）。例如，我们想看看当周围的走线有开关跳变时，将在这根中间的走线上产生多大的串扰。但是请注意我们并没有让中间的这根走线完全没有驱动，我们给它指派的一个驱动器，但是将其设定为静态。Victim 的 IC 驱动模型很重要，因为低阻抗的驱动产生的反射将超过串扰的能量。

请注意关于“Victims”和“Aggressors”：

LineSim 可以仿真任何混合的“victim”和“aggressor”走线—事实上，仿真器并不区分它们之间的差别。通常地，您总是指定一根被设定为开关信号的走线为“Aggressors”，而另一根被观察串扰信号的走线为“Victims”。在这个仿真中，我们也可以将中间的这根走线设定为开关信号，在这种情况下它就成为既是 Aggressor 也是 Victim 的走线了。

## 耦合域

LineSim 的串扰功能可以让您在任何的 LineSim 原理图中增加耦合信息。在原理图中的任何走线可以通过简单地点击右键改变它的类型为“coupled stackup”，而且可以定义任何数量的耦合域，任何一根线可以被增加到任意的一个耦合域中去。

当一根传输线被设定为耦合时，在原理图编辑器中的显示与未耦合的走线是不同的。

- 在原理图中，将鼠标指向任何一根传输线。请注意传输线周围黄色的高亮方框，以及通过鼠线相连的同一电磁耦合域中的其他传输线。

一旦一些传输线被定义为一个耦合域，域中的各属性以及长度等可以被定义，以便精确地符合您需要仿真的条件，而且这个定义是通过几何图形方式的，将这个几何图形方式的参数转化为电磁参数就是 LineSim 的工作了。

在右下角的阻抗列表中列出了电特性的概要（需要更多的电特性数据，请看后面）。

刚才定义的耦合域如下：


- 所有的走线都在内层，“stripline”层
- 走线都是 6 mils 宽和 8 mils 间距（边到边）
- 耦合走线的长度为 12 inches

在我们对耦合域做任何改变之前，让我们来对目前的参数设置情况下做一个

仿真，看看产生多大的串扰。我们的设计目标是串扰不超过 200mV。

## 运行仿真看看产生多大的串扰

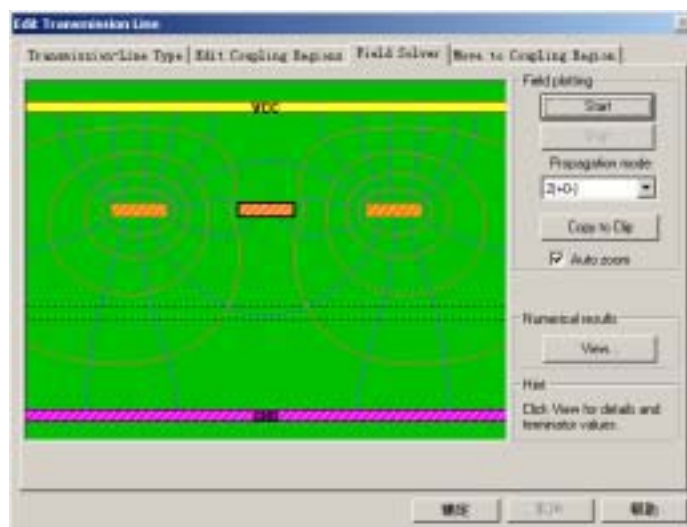
让我们来仿真一下现在的原理图的耦合域，点击工具条上的示波器图标按钮；选择仿真开关的下降沿：

- 点击“确定”关闭“Edit Coupling Regions”对话框窗口。
- 点击工具条上的示波器图标按钮  (Open oscilloscope/Simulator)；或者从菜单的 Simulate -> Run Scope...，将打开数字示波器的窗口。
- 确认 Driver Waveform 选项被设置为“Edge”—“Falling Edge”，以及 IC 模型被设置为“Typical”。
- 点击开始仿真“Start Simulation”按钮。
- 当仿真完成，点击“Copy to Clip”按钮（这样，我们后续可以使用这个波形作为参考）。

当我们仿真的时候，LineSim 通过运行 boundary-element field solver 将我们输入的几何数据转换为电磁域参数。

绿色和黄色的波形分别显示了中间的 Victim 走线的接收端和驱动端的串扰波形。黄色的波形基本上没有大的串扰，因为这一端通过低阻抗的 CMOS 驱动器钳制于低电平。但是接收端绿色波形的情况就很不同了，其电压幅值超过了 700mV，而我们设计的要求是串扰低于 200mV。

- 为便于浏览，可以将 U(A1) 的黄色探头复选框前的选择取消。
- 为了得到串扰仿真的量化数值，可以在波形图上的绿色波形最大峰值处点击鼠标（大约 740mV），然后在最小峰值处再点击鼠标一次（大约 -970mV）。
- 最小化示波器窗口，然后在原理图上右键点击中间的 Victim 网络，选择“Field Solver”页，点击“Start”按钮。



图中蓝色的线代表耦合域之间的电力线。红色的线磁力线。（如果您对阻抗计算、电磁场耦合参数和耦合线端接等感兴趣，您可以点击“View...”按钮；或者如果需要更详细的说明，请点击“帮助”按钮）。

## 增加线距减小串扰

减小串扰的一个明显的办法就是增加走线之间的间距。

编辑耦合域，增加线间距从 8 mils 到 16 mils，重新仿真一遍，看看串扰减小了多少。

- 最小化示波器窗口。
- 鼠标指向原理图中的任意一根传输线，点击右键重新打开“Edit Transmission-line”对话框。
- 点击“Edit Coupling Regions”页表。
- 在“Coupling Region”列表中，高亮选择中间的一个传输线。有两种方法可以选择：或者点击选择列表中的传输线“TL(A1:B1), ‘Victim’”；或者在将鼠标移动到图形显示中的中间线位置，左键点击即可选中。
- 在“Trace-to-Trace Separation”区域，在“Left”和“Right”编辑框中输入 16，以增加线间的间距。同时在图形显示中的间距也变得更大。
- 点击“确定”关闭对话框，然后点击工具条上的示波器图标，打开示波器仿真窗口。
- 点击开始仿真“Start Simulation”按钮。

请注意最大串扰值（绿色波形）已经减小了，但是还是超过了我们的设计允许范围。

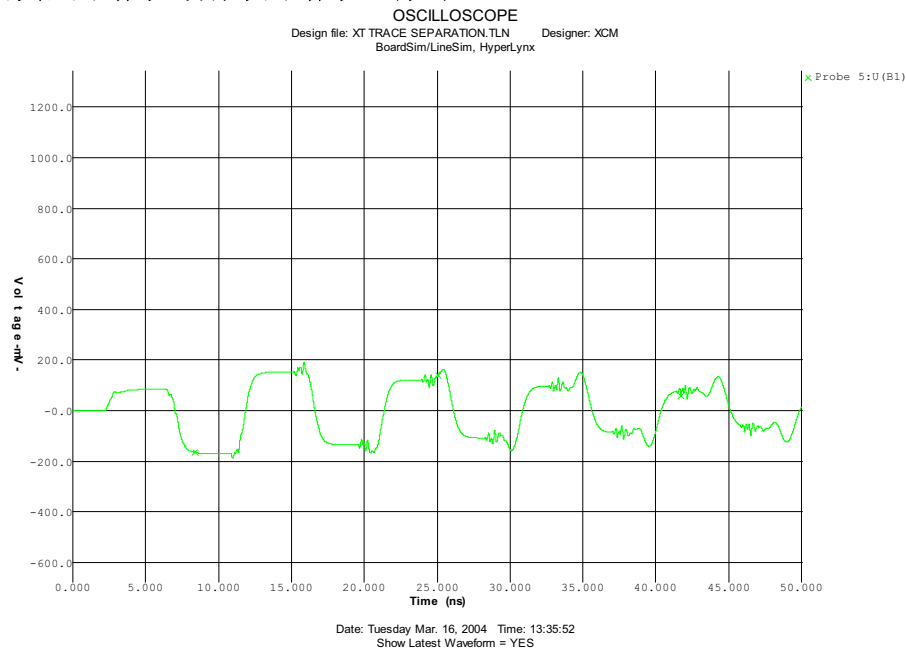
## 减小介质层厚度

除了改变线间距，还有许多办法可以影响串扰。有时可以通过调整 PCB 的叠层结构参数，让我们来试试通过简单的调整叠层结构来看看其对串扰的影响。

编辑 PCB 叠层，减小参考层与内信号层的间距从 10mils 改为 5mils；然后重新仿真。

- 最小化示波器窗口。
- 点击“Edit”菜单，选择“Stackup...”，打开叠层编辑器“Stackup Editor”。
- 点击位于“VCC”和“Inner1”之间的介质层，双击其 Thickness 处的输入框，将 10 改为 5。
- 同样点击位于“GND”和“Inner2”之间的介质层，双击其 Thickness 处的输入框，将 10 改为 5。
- 通过右边的图形显示确认两个改为 5mils 的地方，然后点击 OK 按钮关闭窗口。
- 重新打开示波器窗口，点击开始仿真“Start Simulation”按钮。
- 通过选择和取消示波器窗口右边的“Previous Result”复选框，将修改参

数后的结果与刚才的结果进行对比。




现在 Victim 线接收端的最大串扰值已经大大地降低了，大约小于 200mV 左右（如果需要看到更精确的数值，请在示波器右边的“Vertical”的“Scale”区域左键点击两次向下箭头，将其垂直刻度调节为 200 mV/div，如上图）。目前的设置基本上可以达到我们的设计目标。

一般来说，串扰可以被许多因素所影响，例如：驱动 IC 的技术、线间距、线宽、线长、端接（串扰需要更加比单端线复杂的端接）和 PCB 叠层（叠层顺序和介质的厚度）等。LineSim 可以帮助您快速地分析和找到解决办法，以满足您的设计要求。

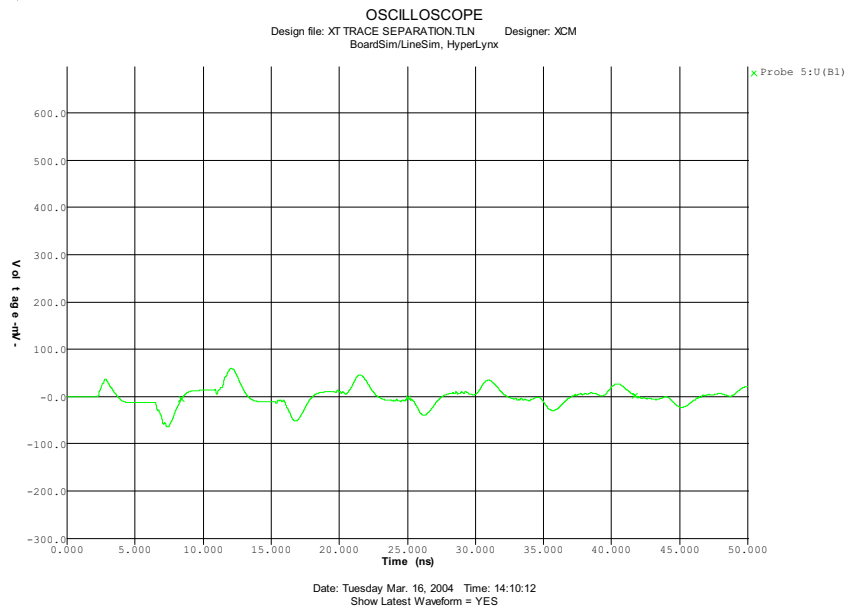
## 净化 Aggressor 信号

最后，请注意 Aggressor 1 和 Aggressor 2 上的蓝色和橙色的波形上的过冲，如果我们能够端接这两根传输线，将会大大减小串扰。

- 点击工具条上的“Open Terminator Wizard”按钮图标 .
- 选择 U(A0)，然后点击 OK。
- 如果您在“Apply Tolerance”下拉选项选择了“10 percent”，端接向导将会建议您在 Aggressor 1 传输线上增加一个 39 Ohm 的串连端接电阻。
- 点击 OK。
- 下一步，左键点击 U(A0)右边的电阻符号（传输线左边），从下拉表中选择“Resistor”。
- 右键点击电阻符号，在“Resistance”输入框中输入 56。
- 很明显 Aggressor 2 也是同样的拓扑结构，所以对于 U(A2)重复以上的两个步骤。
- 返回示波器窗口重新仿真。

现在蓝色和橙色的波形看起来就相当好了。让我们将其他波形信号关闭，以便可以看得更加清楚。

- 点击复选框，关闭红色、紫色、蓝色和橙色波形。
- 改变垂直电压刻度到 **100mV/div**（如下图）。打开“**Previous Result**”选项，通过对比我们可以看出波形有了很大的改善，串扰值大约只有 **60mV** 左右。



## 最后的因素：Victim 网络的端接

在 Victim 线上的串扰值已经达到了我们的设计要求，这个演示就到此为止。但是，如果这根线上的驱动器为时钟沿 1ns，那么我们就应该继续，并最好在这根网络上增加端接。

- **【可选】**左键点击 Victim 网络上的串连电阻，象 Agressor 一样加入一个 **39 Ohms** 的串连电阻。
- **【可选】**右键点击 U(A1)，将其从“**Stuck Low**”改为“**Output**”类型。
- **【可选】**重新仿真黄色 U(A1)和绿色 U(B1)的信号下降沿。

使用 LineSim 最大的好处就是建立布线约束和设计指导。例如：在上面的例子中，对于这个总线的布线最小线距为 16mils，必须进行串行端接对过冲和串扰进行控制。