



HyperLynx 入门指南



➤ 香港

电话: 00852-26371886

电邮: sales@kgs.com.hk

传真: 00852-26466834

网址: <http://www.kgs.com.hk>

➤ 北京

电话: 010-82561903

电邮: bjkgs@kgs.com.hk

传真: 010-82561814

网址: <http://www.kgs.com.hk>

➤ 上海

电话: 021-62725136

电邮: shkgs@kgs.com.hk

传真: 021-62725137

网址: <http://www.kgs.com.hk>

➤ 深圳

电话: 0755-83689810

电邮: szkgs@kgs.com.hk

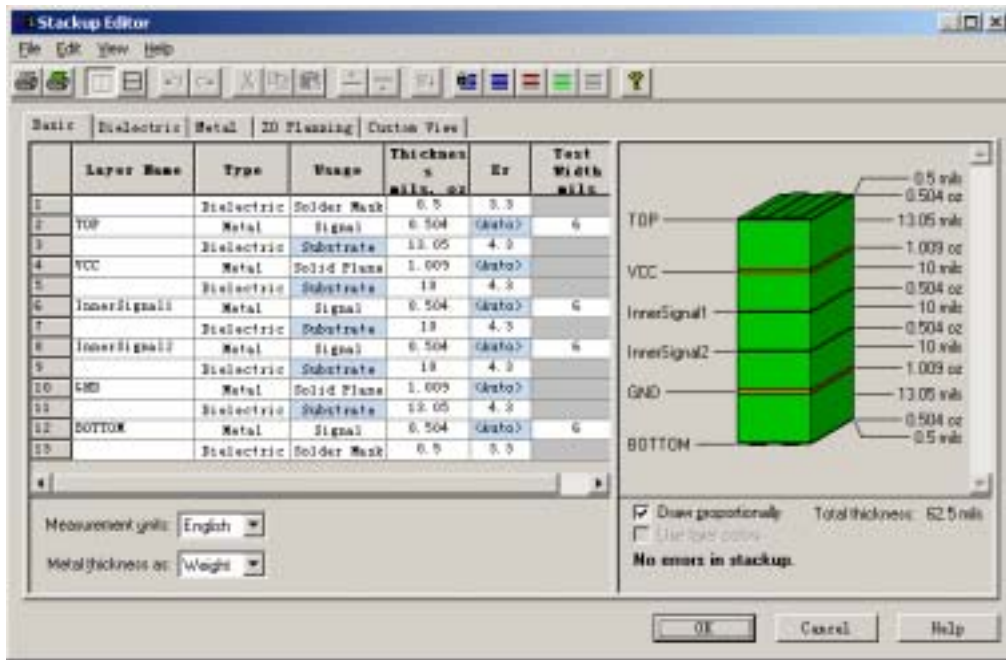
传真: 0755-83689814

网址: <http://www.kgs.com.hk>

目录

- [使用叠层编辑器进行阻抗计算](#)
- [使用 LineSim 进行布线前仿真](#)
- [LineSim 串扰分析](#)
- [BoardSim 的交互式仿真](#)
- [BoardSim 端接向导](#)
- [BoardSim 串扰分析](#)
- [BoardSim 板级分析](#)
- [BoardSim 差分和 GHz 仿真](#)
- [直观的 IBIS 编辑器](#)
- [建立一个 Databook 模型](#)

使用叠层编辑器进行阻抗计算



在 BoardSim 和 LineSim 中均包括一个功能强大的叠层编辑器，使用它可以很简单地对您的 PCB 进行叠层设计和修改，以及对每个信号层进行特性阻抗的计算，以便您对信号反射和信号完整性的控制。

特性阻抗

传输线和负载阻抗的匹配，以及选择合适的端接器件的值对信号完整性是很重要的。BoardSim 和 LineSim 的叠层编辑器正是对其控制的开始。

首先请记住特性阻抗 Z_0 的计算等式：

$$Z_0 = \sqrt{L/C}$$

增大电容可以通过一下方式：

- 加宽走线
- 减小信号层和参考层的距离
- 增加介电常数

这样就使等式的分母变大，也就降低的特性阻抗 Z_0 。当然，减小电容就使 Z_0 增大。



而反射系数的计算等式如下：

$$\text{Refl. \%} = (Z_L - Z_0) / (Z_L + Z_0)$$

当我们进行 PCB 设计时，对那些驱动端上升或下降时间小于等于 5ns 的单

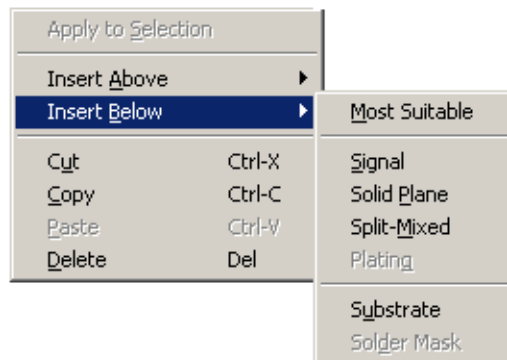
端信号线必须进行端接。这个功能能够帮助我们选择合适的端接值，以便我们知道这个端接值 ZL（例如：终端端接），以便我们可以控制信号反射和信号完整性，或者为了达到理想的目标特性阻抗值，调整优化我们的叠层结构。

建立一个新的 LineSim 原理图

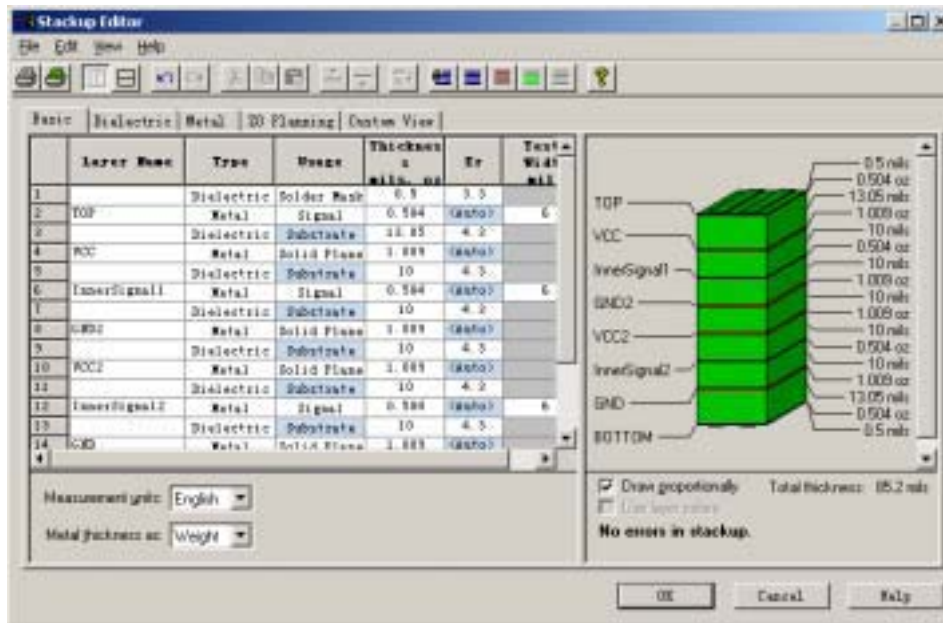
- 点击工具条上的图标“New LineSim Schematic” ，便可以建立一个新的 LineSim 原理图，或者通过菜单选择 File -> New LineSim File...
- 选择工具条上绿色的叠层图标“Edit PCB Stackup” ，或者通过菜单的 Edit -> Stackup...选项，您将看到一个 6 层板的叠层结构图以及各层和介质层的参数。
- 双击您需要编辑的项目表格，例如介质层厚度、线宽等等，根据需要编辑顶层、底层和各个走线层、参考层以及介质层的参数，您可以分别选择 Basic、Dielectric、Metal、Z0 Planning、Custom View 进行各个项目的编辑。
- 另外，您可以在左边的叠层参数窗口中通过鼠标拖动的方式对叠层的结构进行调整，也可以在右边的叠层示意图中进行鼠标拖动的操作。编辑各项参数，直到得到您需要的特性阻抗值。

增加新的层

- 在叠层编辑器“Stackup Editor”的左边叠层参数编辑窗口中单击您需要增加层的位置，单击右键弹出菜单，选择在当前位置的上面或者下面增加层，如下图所示：

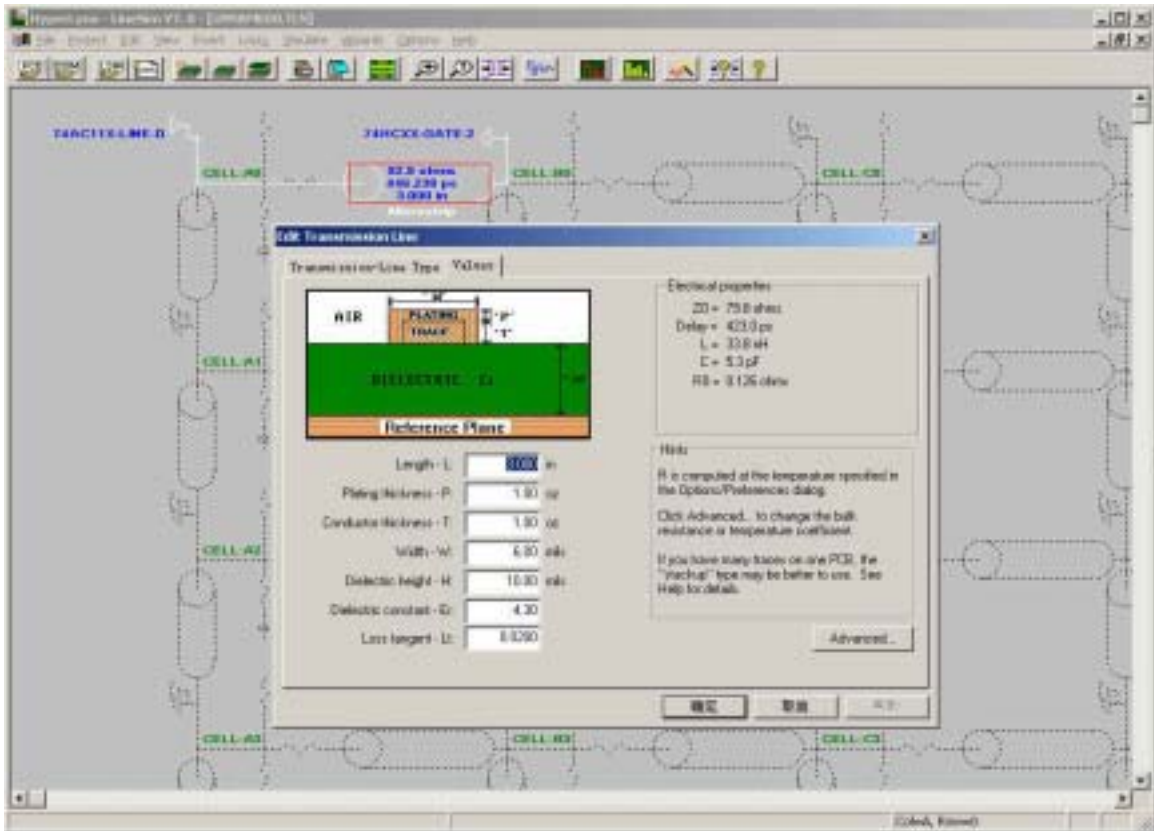


- 例如，现在要将目前的 6 层板改为 8 层板，这样我们可以在第三层位置单击，然后单击鼠标右键选择 Insert Below 选项中的 Solid Plane 选项，增加一个 GND2 的参考层（层的名称可以增加层后，在 Layer Name 的栏目位置进行修改），用同样的方法，增加一个 VCC2 的参考层。增加层后如下图：



- 增加层后再根据您的需要对各层的参数进行设定，以满足您的特性阻抗需要。

使用 LineSim 进行布线前仿真




在 PCB 板上的所有信号中,时钟网络不管对信号完整性还是 EMC 辐射问题,始终都是最应该被关注的。让我们来看看 LineSim 是如何帮助您对时钟网络进行仿真的,以及在您设计原理图时和设计 PCB 之前制定物理上的布线约束条件。

LineSim 可以帮助您在设计的任何阶段快速地进入和解决“what-if”的信号完整性和 EMC 问题。它的分析是基于 LineSim 的独特方便的点击式的传输线建立方式。以下介绍均已 HyperLynx V7.0 为例。


LineSim 的特点:

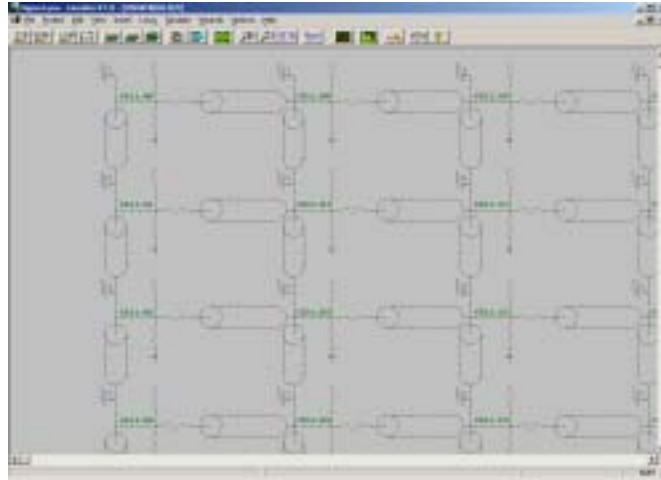
- 在 PCB 设计之前制定高速网络的布线约束规则。
- 这种方式是查找和解决设计过程中可能出现的问题最为省钱的方式。

建立原理图之前

- 点击工具条上的图标按钮 , 编辑 PCB 叠层的图标, 检查一下叠层结构是否是您目前设计所要的(默认是 6 层板)。您可以根据您的需要增加、删除或者编辑各层。
- 点击 OK 按钮。

建立一个原理图

单击工具条上的新建 LineSim 原理图图标按钮, 建立新的 LineSim 原理图。如下图。



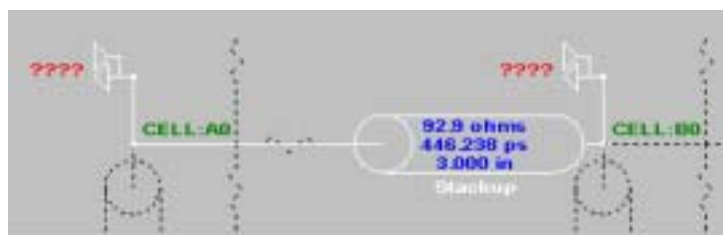
一根传输线包括传输线（互连）、IC 和无源器件。

- 在 LineSim 中，您可以左键点击灰色的各元素（传输线、IC 或者无源器件）便可以激活它们，这样就可以把它们加入到原理图中。
- 点击各个元素就可以进入它们的物理特性模型（选择一个 IC 模型、指定特性阻抗、改变元件值等等）

您可以感觉到这种方式比设计传统的原理图更快更简单，它不需要选择器件符号和连线等操作过程。

激活单元

- 点击第一排的两个 IC 符号以便激活 LineSim 原理图中的驱动器和接收器 IC（CELL A0 和 B0）
- 点击连接两个 IC 之间的标准的传输线符号，就可以激活此传输线。如下图。

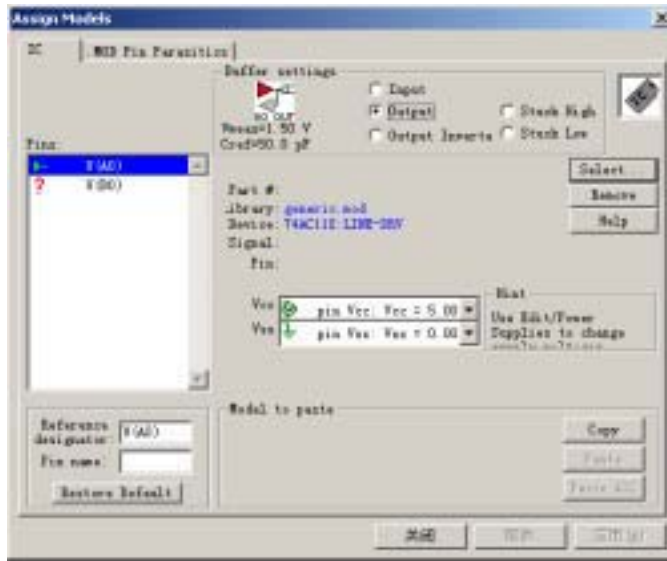


指派一个驱动器

- 右键点击单元 CELL A0 的 IC 图标（我们将设定它为驱动端）。
- 点击指派模型（Assign Models）窗口右边的“Select...”按钮。
- 选择 Generic.mod 库按钮。
- 在 Devices 列表中, 选择 74AC11X:LINE-DRV（清单列表中第一个 74AC

系列器件), 再点击 OK 按钮。

- 在 Buffer Setting 对话框中点击单选按钮“Output”, 使其设置为驱动端。如下图。



指派一个接收器

- 在窗口左边的 Pins 列表中选择 U(B0); 点击右边的“Select...”按钮。
- 选择 Generic.mod 库按钮。
- 选择 74HCXX:GATE-2, 点击 OK 按钮。
- 确认单选按钮“Input”被选中, 将其设置为接收端。
- 点击“关闭”按钮。

选择一个传输线模型

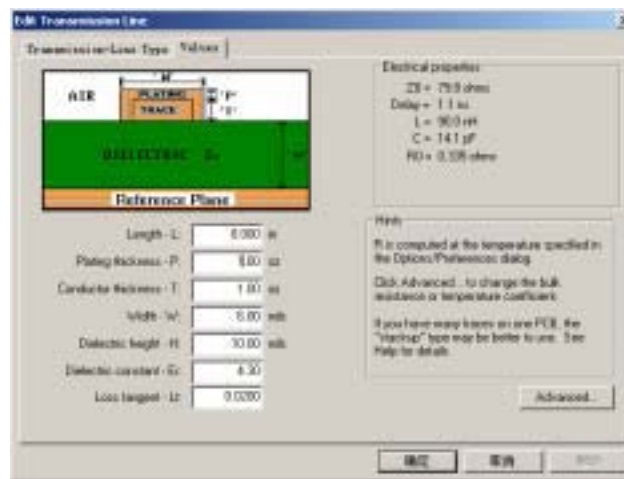
- 右键点击传输线符号, 发一些时间分别点击传输线类型页中的各种传输线类型单选按钮, 可以通过 Values 页面对各种传输线模型进行参数和模型的了解。

提示: 可以通过点击编辑传输线对话框中上部的传输线类型 (Transmission-Line Type) 页和值 (Values) 页对所选的传输线参数进行设置, 如下图。




“What-if” 分析

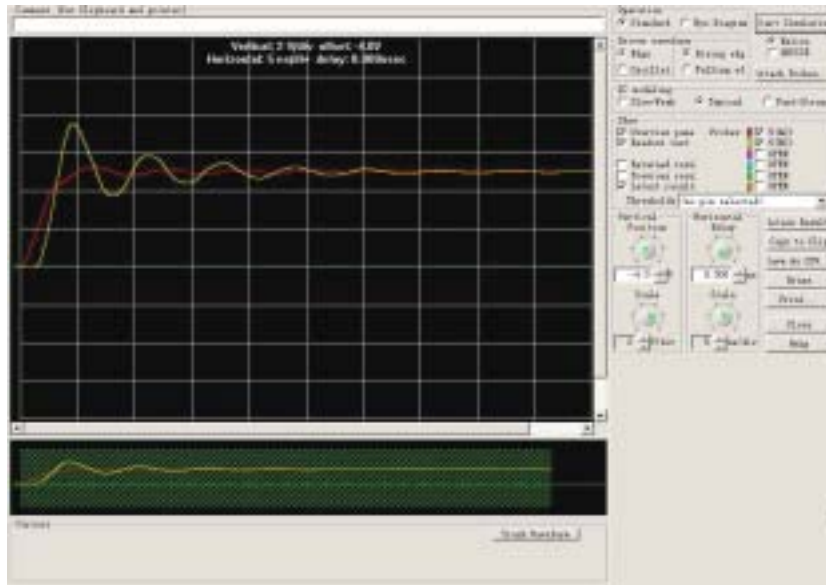
- 选择微带线 **Microstrip** 单选按钮。
- 设置线长为 **8 Inches**（当然，您可以根据您的需要进行长度设置，我们这里只是为了进行“what-if”分析。如下图。



- 选择确定，关闭对话框。

对时钟线进行仿真

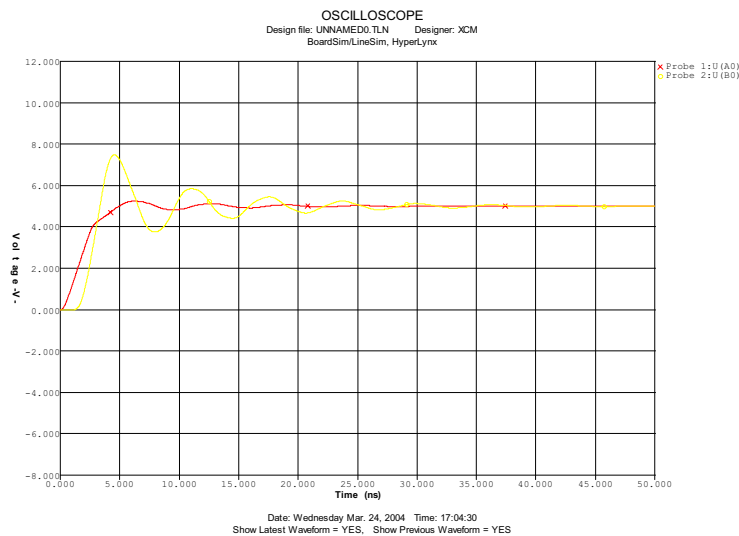
- 点击工具条上的示波器图标  (**Open oscilloscope/Simulator**)。
- 点击右上的“**Start Simulation**”按钮开始仿真（探头将被自动指派）。
- 仿真状态对话框被打开并开始仿真。如下图所示。



(示波器探头的通道颜色也同样地被显示于原理图中，每一个被测点各有一种探头一样颜色的箭头。您可以拖拉示波器的窗口以便查看原理图中各探头的测试位置和颜色。)

注意观察示波器中接收端的电压波形（黄色的示波器探头）有很大的过冲和下冲—这样，在接收端 IC 每个周期将会收到一个非常陡的沿的时钟信号（如果您设计中有这样的时钟网络，您的设计将会失败），这也是在高频设计中考虑得比较多的因素；而且这样的波形将会引起很强的电磁辐射。

- 选择示波器窗口中的“Copy to Clip”按钮，将波形拷贝到剪贴板中。
- 选择开始菜单中“开始” -> “程序” -> “附件” -> “写字板”（或者使用 Microsoft Office Word 等编辑工具）
- 使用快捷键 Ctrl-v 将波形粘贴到写字板中。 如下图。



这是一个很方便的文档—不管对您的设计组还是管理者—您所做的文档可能会起到指导设计进程时间表的作用。

显然，我们不能设计这样拓扑的一根走线（例如 8 Inches）。但是为什么会 出现这样的信号问题呢？

答案是驱动端的“沿速率”或者开关速度与走线长度的比。

基本上有三种办法可以解决这个问题，请参考以下的“3T”。

1. **Technology (工艺)**—减慢驱动 IC 的开关速度（很困难，这将影响您的时序）。
2. **Topology (拓扑)**—减小布线的长度到临界范围内或更短。
3. **Termination (端接)**—使用无源器件匹配走线末端的特性阻抗到 Z₀。

Technology (工业)—让我们假设我们的时序裕量要求与 CMOS 驱动端的一致（下降沿 1.9ns）。

Topology (拓扑)—需要遵循的一个规则是走线长度延迟不超过驱动端开关速率的 1/6，让我们看看这个网络上的工作情况。使用 FR-4 板材，信号延迟是 5.8 in/ns（大约 6 in/ns）。

让我们看看我们的驱动沿速率以便决定走线的线长。

- 关闭示波器窗口。
- 选择菜单 Edit -> Databook IC Models (.MOD)。
- 在 Library and Model 下的 Model Library 下拉框中选择 generic.mod，以及在 Device Model 下拉框中选择 74AC11X:Line-Drv，请注意对话框左边 Output Drivers 中高/低电平值。如下图：



- 选择最坏的情况的 **Slew Time** (这个例子中的低电平情况), 然后乘以 **6 Inches** (信号传输速率)。

第一个进入的波形信号传输延迟:

转换为电气长度

$$\begin{aligned} &= \text{Slew Rate (ns)} \times 6 \text{ (in/ns)} \\ &= 1.9 \text{ (ns)} \times 6 \text{ (in/ns)} = 11.4 \text{ in} \end{aligned}$$

再将此值乘以 1/6 (布线规则), 得到使用这个驱动器最大 (建议) 的布线长度。

最大的布线长度: 1.9 in (末端接的条件下)

注意: 如果您使用 FR-4 板材, 就不要通过以上的一堆乘法计算了, 您可以直接利用 Slew Time 的 ns 时间作为最大的走线长度, 由于 $6 \times 1/6 = 1$ 。

- 现在返回到原理图, 右键点击传输线符号, 点击 **Values** 的表页, 在走线长度 (**Length**) 栏输入 **1.9 Inches**。
- 点击确定, 使用示波器功能重新仿真一次波形。

您应该能看到一些难看的振铃信号, 每一种规则都是您设计的指导。这就是为什么要先做仿真, 而不是盲目地进行设计, 它们在某些特定情况下可能正常工作, 也可能不能正常工作。


- 再继续减小布线的长度, 直到振铃停止, 您就可以建立一个布线约束了—这就是这个网络最大的布线长度值 (除非被正确端接)。

重要提示:

通过不断的试验, 您应该可以得到振铃较小时最大的末端接布线长度为大约 0.5 inches。很明显, 这种类型的约束如果太经常使用, 对于 PCB 设计工程师或者布线器, 会是一件很可怕的事。现在, 让我们来看看解决同一问题的另一种方法—端接 (第三个 T)。

时钟线上的串连端接

让我们再来回顾一下这根 8-inch 走线的情况 (这里要强调的是增加一个好的串行端接的效果)。

- 右键点击传输线符号。
- 点击 **Values** 的表页, 在走线长度 (**Length**) 栏改回 **8 Inches**。
- 点击工具条上的示波器图标 。
- 点击右上的 “**Start Simulation**” 按钮开始仿真。
- 您将看到有大量过冲和振铃的一个信号波形。

现在我们对这根传输线进行分析，这次我们使用一个串行端接。

对于串连端接，串行电阻的最优值计算公式如下：

$$R_t = Z_0 - Z_d$$

公式中：

R_t = 串行端接电阻阻值（欧姆）

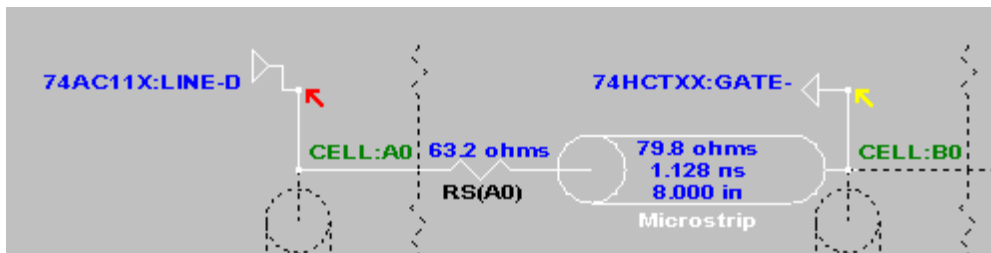
Z_0 = 传输线的特性阻抗值

Z_d = 驱动端的输出阻抗


对于这根时钟线的 Z_0 在 LineSim 的传输线符号中显示。

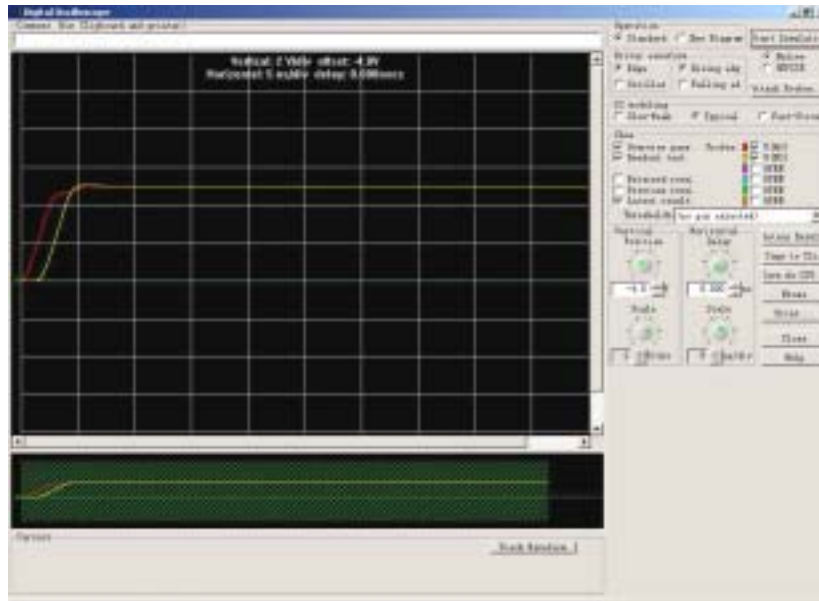
增加一个串连端接

- 左键点击位于驱动 IC 和传输线符号之间的电阻符号，选择插入电阻（Resistor）。
- 右键点击电阻符号，输入其阻值 63 欧。如下图。



重新仿真

- 点击工具条上的示波器图标 。
- 点击 Start Simulation 按钮开始仿真。
- 请注意这次干净的波形，如下图。




- 通过选择示波器窗口右边“Show”选项下的“Previous result”复选框，打开刚才前面的波形，对比两次仿真的结果。

看看这是多么的简单！您可以在这里做任何的象这样假设的传输线，串行、并行、多板等等仿真。

只需花一会儿的时间，让端接、仿真过程完成的如此漂亮！

对于在改善了信号完整性之前的信号 EMI 问题，真的没有必要去测试，如果您有兴趣，可以做一个对比。现在，信号完整性问题解决了，让我们来看看 EMI 的测试效果。

- 关闭示波器窗口，点击 LineSim 工具条上的频谱分析仪（spectrum analyzer）图标按钮 。将打开频谱分析窗口。
- 向上点击垂直偏移（Vertical Offset）设置按钮，将 Class A 和 Class B 的标准线位于分析窗口中。
- 点击右上的开始仿真“Start Simulation”按钮，开始仿真，并得出结果，如下图。