



高速傳輸介面的EMI設計技術

司馬余

內容標題導覽： | [PCB和天線](#) | [在系統層級上發生EMI的原因](#) | [差模電流和共模電流](#) | [接地彈跳](#) |
| [CMOS邏輯電路](#) | [防範方法](#) | [結語](#) |

當CPU和各種週邊新技術的傳輸速度不斷攀升到GHz時，「電磁干擾（EMI）」就成為在系統層級設計產品的棘手問題。PCB工程師就是在系統層級上設計電子產品，而這些產品在我國電子產業的總產值中，佔有極高的比例。因此，了解EM熟悉PCB的高頻設計技術，已經變成每一位硬體工程師的重要任務。

本文首先介紹PCB因設計不良而變成天線的原因，並舉出一些常見的解決方法。最後說明在數位電路設計中，最常遇到EMI問題---「接地彈跳（ground bounce）」的造成原因及有效的防範方法。

PCB和天線

試想當一塊電腦主機板（PCB）不幸變成一根天線時，誰還會想在此電腦上安裝WLAN介面卡呢？不用懷疑，PCB是很就能成為天線的，只要設計它時不考慮EMI問題，它基本上就是一根天線。透過空氣或纜線，PCB就能將射頻（RF）能輻射出去。

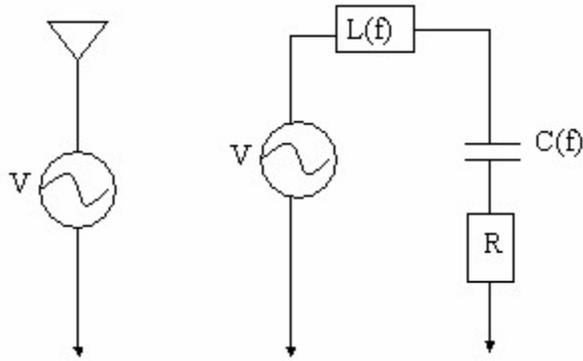
大多數PCB是不折不扣的輻射體（radiator），雖然我們並不想將它設計成天線。不過，不管我們是否打算將它設計成機（transmitter）的一部份，它都必須遵守國際的EMC標準。因此，若在電路設計時，沒有採用濾波器...等可「抑制（suppression）」EMI的元件，我們就得使用「圍阻（containment）」的方法，例如：法拉第籠（Faraday cage）、高斯結構（Gaussian structure）。

當天線被電壓源驅動時，它的阻抗會劇烈地變化。當天線共振（resonance）時，它的阻抗最大，而且會向外輻射電磁量。阻抗 $Z = R + j\omega L + j l/wc$ ，其中R是所謂的「輻射電阻（radiation resistance）」。當天線在某頻率共振時，C的作用會相互抵銷，此時 $Z = R$ ，R的值將是最大的。

對天線和成為天線的PCB而言，其等效電路如圖一所示。它的射頻電壓源（RF voltage）是存在的，這主要是因為接腳感（lead inductance）與「接地彈跳」造成的。降低射頻電壓源是避免PCB成為天線的最佳途徑，這包含：建立良好的地系統、使用法拉第籠或高斯結構或屏蔽（shielding），此外，使用射頻濾波器可以去除不需要的射頻訊號，並可過濾特定的頻段。

在系統層級上發生EMI的原因

對PCB工程師而言，任何電子元件都應該註明符合EMC標準的設計要領，因為PCB是電子成品（end product）的基礎。電子成品是否符合EMC標準的要求，是由PCB決定的，而不是由個別的電子元件決定。



圖一：天線的等效電路

在系統層級上發生EMI的原因，一般而言有：

使用的圍阻方法（金屬或塑膠外殼）不正確。

纜線和連接器（connector）的接地、安裝、設計不良。

PCB佈線（layout）不正確，這包括：

1. 時脈和週期的訊號繞線（trace routing）錯誤
2. PCB堆疊和訊號多層繞線
3. 使用了具有高頻寬頻譜能量分佈的元件
4. 差模（differential mode）與共模（common mode）濾波設計不良
5. 接地迴路（ground loop）
6. 旁路（bypass）或去耦合（decouple）不足

為了抑制在系統層級上發生的EMI，下面是常用的方法：

屏蔽

襯墊

接地

濾波

去耦合

正確的繞線

絕緣和分離（separation）

控制線路的阻抗

I/O互連的設計

針對特定的元件封裝，在PCB內部使用特殊的抑制技巧

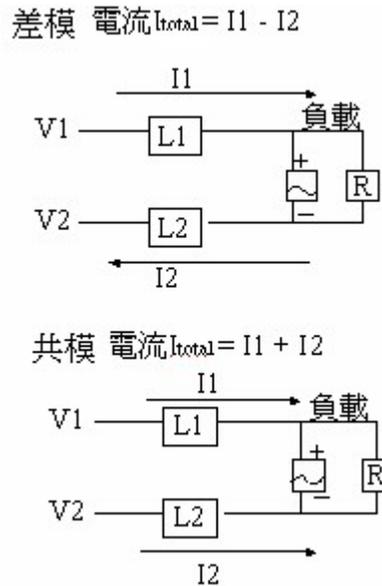
差模電流和共模電流

對在數位電路中，常見的工作放大器（op amplifier）而言，差模（DM）和共模（CM）的觀念是很重要的。其實對任電路來說，都存在著差模電流和共模電流。在高頻電路中，差模電流和共模電流更決定了電路向外輻射出去的射頻能量

小。這兩種電流的特性是不同的，一般而言，差模電流傳送有用的資料或訊號，而共模電流是差模電流的副產品，它不任何有用的資料，是EMI的主要來源。圖二是這兩種電流的示意圖。差模輻射（**differential-mode radiation**）是由位PCB系統結構中的射頻電流迴路（**RF current loop**）產生的。共模輻射（**common-mode radiation**）是由於PCB電中的供電壓突然下降產生的，這會使部份電路的接地電壓大於系統真正的接地參考電壓，也就是說發生了「接地彈跳」象。

共模電流一般都比差模電流小很多，但是卻能產生很大的輻射電場。差模電流所產生的輻射量是來回相減的，但是不會零，因為射頻的來回路徑不會**100%**相等。另一方面，共模電流所產生的輻射量是來回相加的，因此它是EMI的主要來。如果來回的差模訊號之大小和相位不相等，則它們相減之後，所剩餘的射頻電流就是共模電流。此外，因元件造成的接跳和電源供應的起伏變化，會從電力供應網路（**power distribution network**）抽取部份電流形成共模電流。

若想要消除共模電流，就必須使訊號的來回傳輸路徑平衡，也就是採取能量耦合、阻抗匹配的辦法。此外，也要控制好和訊號來源，降低多餘的電磁場能量。不過，我們不可能將多餘的電磁場消除，只能盡量避免產生EMI，將PCB模擬成完美的自我屏蔽環境，就像同軸纜線（**coax**）一樣。



圖二：差模電流和共模電流

接地彈跳

當邏輯開關快速切換時，瞬間的電流變化會經由IC接腳，傳至主機板的電源平面（**power plane**）或接地平面（**grou plane**），造成輸入參考電壓的波動，進而產生射頻雜訊（**RF noise**）和電磁干擾。這種現象就稱作「接地彈跳（**grou bounce**）」。

數位的電子裝置所產生的射頻輻射量是EMC標準所規範的內容之一。接地彈跳和射頻輻射量有定性的關係，通常將接地跳所產生的電壓值限制在**500mV**（零至峰值的振幅）以下，這就是所謂的「雜訊臨界值（**noise threshold**）」。當超這個臨界值時，射頻輻射量會增加，PCB上的元件會因此發生錯誤的觸發，也就是訊號的完整性（**signal integrity**；S遭到破壞，訊號品質下降。

當一個電子產品的射頻輻射量超過EMC標準時，其接地彈跳問題將會非常的嚴重，甚至會令人措手無策。有時，此電子產品將無法發揮正常應有的功能。此時，與其說是要解決EMI問題，倒不如說是要解決訊號的完整性問題。因為當SI問題解決之後，EMI問題也可能同時被解決了。

PCB系統的接地參考電壓一般都是常數0，當發生接地彈跳時，此接地參考電壓將不等於0。此時，晶片內的電晶體將無正確地感測到一個有效的輸入訊號，因此造成電子產品功能的錯誤。例如：電腦主機板的I/O埠有接地彈跳發生，此電阻取不到用戶輸入的按鍵或滑鼠訊號。

接地彈跳在晶片和PCB的影像平面（image plane；或稱作0V回傳路徑）之間產生共模電壓，此電壓會被添加到在PCB的其它訊號上，造成SI問題。這種添加重疊（superimposition）的作用可能發生在電源端和接地端。

接地彈跳和流向電源電感的瞬間大電流有直接的關係，和傳輸線上的輸出電感或電容無關。接地彈跳也和輸入的驅動訊（driver）與輸出的訊號數目相關。若邏輯開關具有數個輸出端，當同時切換時，其輸出端和電源、接地面之間很可能產生接地彈跳。彈跳的程度和輸出端的瞬間放電電流 dI/dt （前級驅動的切換速率）有直接的關係。

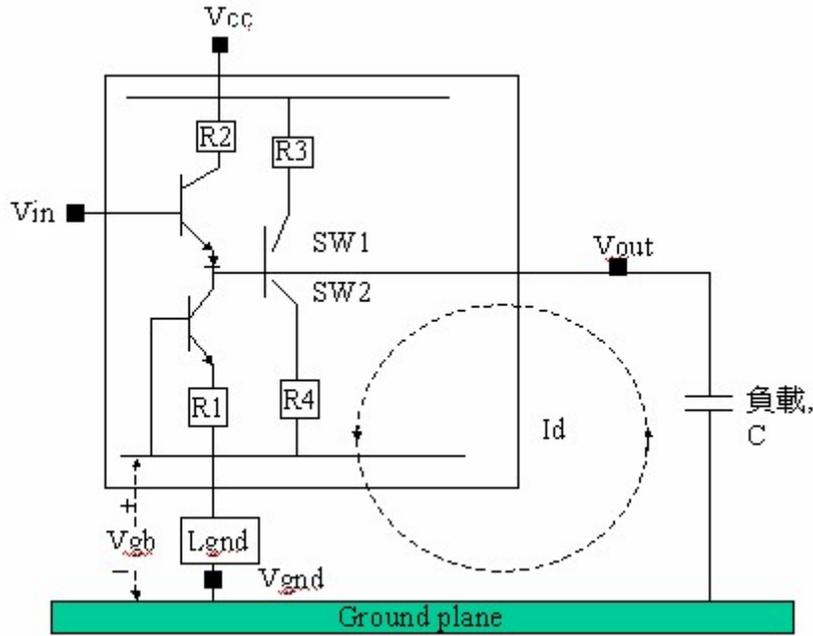
圖三是一顆具有四個接腳的晶片，這些接腳分別是：Vin、Vout、Vcc和Vgnd。當開關2關閉時，負載電容C被短路接其當C放電時，會在接地回傳路徑上產生大電流（current surge），這個電流是 I_d 。

當C的電流被輸出電壓補足，再次放電，如此循環不斷，在接地回傳路徑的電感 L_{gnd} 上，將感應產生一個接地彈跳電壓 V_{gb} 。它是介於系統接地面和此晶片內部的參考接地之間。 V_{gb} 的值是等於 $L_{gnd} * dI_d/dt$ 。

V_{gb} 的另一種解釋是，當P和N電晶體導通時，電流將從Vcc流到PCB的接地面，產生 V_{gb} 。若是如此，則這種電流可能成電力供應的不足。不過，當 R_1 和 R_2 的電阻值很大時，這種解釋就說不通了。因為 R_1 和 R_2 會限制從Vcc流到接地面的流大小。因此，接地彈跳的主要來源是，負載電容透過邏輯開，所釋放出來到接地面的電流。

邏輯開關需要在瞬間改變驅動電流，晶片的導線接合（lead bond）處或接腳之電感、線路（trace）電感和其它寄生感，都會產生此瞬間的驅動電流。可是電源供應器是無法吸收瞬間產生的變動電流，結果就在元件的電源、接地面和接間產生了差動電壓。在元件的電源和接地面結構中，接地彈跳是以雜訊顯現出來。因此，當「雜訊邊界值（noise margin）」降低時，很容易造成電壓感測線路（voltage-level sensitive trace）的錯誤觸發。就功能而言，低邏輯就是指0狀態下的雜訊邊界值，通常比在高邏輯（也就是指1）狀態下的雜訊邊界值小。這是由於接地彈跳在低邏輯狀態下（邏輯開關閉時），比較容易發生，因此，從事系統層級（PCB）設計時，要特別注意低邏輯狀態。

接地彈跳電壓（ V_{gb} ）通常比輸出訊號的電壓小，而且不會影響輸出（發射）訊號，但是它會嚴重影響輸入（接收）訊號！這是因為輸入（接收）端是以本地（內部）的參考接地來比較輸入（接收）訊號的電壓，但是內部的參考接地已經因為彈跳而變成 V_{gb} 了，因此，輸入端實際的輸入差動電壓是： $V_{in} - V_{gb}$ 。這就是TTL電路的寫照。CMOS則以Vcc和接地參考電壓的權重平均值，來比較輸入訊號的電壓。雖然有不同種類的邏輯電路，但是接地彈跳的觀念是相同的。如果邏輯的輸出端有N個，則 V_{gb} 將變成N倍。



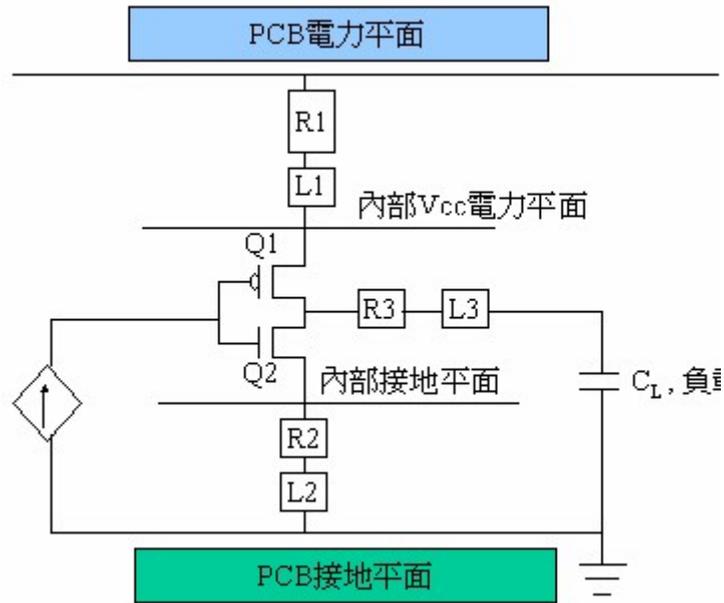
圖三：晶片內部的四個接腳和接地彈跳電壓

CMOS邏輯電路

由於CMOS製程技術的成本低廉，所以目前大多數的數位晶片都是採用CMOS製成的。但是，CMOS同樣也會產生接地跳的現象，所以我們必須注意防範。

圖四是一個CMOS邏輯閘和其附近的寄生阻抗。當從高至低的狀態轉換時，假設負載電容 C_L 為50pF，5V的電壓施加在上，則電容的電荷量是250p庫倫（Coulomb, $Q = CV$ ）。這個電荷量必須透過此邏輯元件放電，使負載進入低邏輯（0V）。放電電流是從負載流到此元件的接地面，此電流的變化率（ dI/dt ）在參考接地接腳的電感上產生「電壓降（voltage drop）」。CMOS內部接腳和接地回傳電感可能會發生電壓過高（overshoot）或過低（undershoot），在高速的邏輯元件中會發生阻尼振盪（ring）的現象。

流向PCB接地面的電荷會產生一個共模電壓，此電壓將造成射頻輻射。由於邏輯閘在瞬間切換時，所產生的放電流是無除的，因此，我們必須限制射頻電流的尖峰值。最好的方法是在電源和PCB接地面的路徑上，分別加上一個低阻抗，以共模電壓的大小。



圖四：CMOS和PCB

在下列情況下，接地彈跳會更加嚴重：

- 負載電容增加
- 負載電阻降低
- 接腳電感和線路電感增加
- 數個邏輯閘同時切換

上述情況都會造成放電電流的增加，由於此電流來自於PCB的電力供應網路，因此這也會造成其它元件的電力供應不足

防範方法

目前有數種消除接地彈跳的方法存在。其中，延長輸出訊號的切換時間是最常用的方法，例如：利用時脈訊號偏移（clk skew）電路，使輸出訊號的邊緣速率（edge rate）變慢。此外，可在負載端加入串聯電阻，減少放電電流的大小。

有些PCB製造商使用數條接地導線（wire bond leads）和晶片封裝接合。不過，這些導線之間間距必須是相等的，才能將接腳電感降低。將接地連接點在元件四周散佈開來，比將接地接腳全部連接在一起的效果要好的多。

當設計PCB佈線時，不同的接地接腳必須走不同的連接路徑到連接地面。若將兩個接地終端連接在一起，並走同一條線達接地通孔（via），這是違背個別的接腳必須獨立接地的原則。

其它能降低PCB接地彈跳問題的辦法，包含：

1. 控制負載：降低負載電容和增加負載電阻
2. 佈線：除了要降低輸出電路的電感值以外，佈線時，也要降低PCB上的電源和接地面的電感值。
3. 晶片封裝：盡量使用在晶片中央存在著一個參考接地接腳（電感值是4nH）的晶片。應該避免使用參考接地接腳存在

四個角落（電感值是15nH）的晶片。

結語

EMI和EMC隨著高速傳輸介面技術的進步，而日形重要。過去，硬體工程師都習慣在低速的數位PCB電路環境中從事設計，如今都必須自我提昇，解決高頻的EMI問題。

理論上，他們要跨越的技術門檻是很高的。不過，可以採用循序漸進的方式，先從高頻數位PCB常發生的接地彈跳問題入，進而了解和處理其它重要的EMI問題，例如：串音（crosstalk）、訊號完整性（SI）、濾波、線路終結（trace termination）、傳輸線.....等。

其實，接地彈跳在部份非高頻的PCB電路中也會發生，這是因為數位電路大量地使用運算放大器和邏輯閘，造成共模電壓的存在。硬體工程師可以利用本文所介紹的差模和共模觀念，應用到高頻的PCB電路，並警慎選擇合適的元件計，若能如此，就能輕易地消除接地彈跳的問題了。

本文內容（包括圖片）非經同意不得轉載（除有另行約定外）
EEdesign擁有內文著作權，但文責由作者自行負責，不代表本網站立場

[【TOP】](#) [【關閉視窗】](#) [【回上一頁】](#) [【回首頁】](#)

射频和天线设计培训课程推荐

易迪拓培训(www.edatop.com)由数名来自于研发第一线的资深工程师发起成立,致力并专注于微波、射频、天线设计研发人才的培养;我们于 2006 年整合合并微波 EDA 网(www.mweda.com),现已发展成为国内最大的微波射频和天线设计人才培养基地,成功推出多套微波射频以及天线设计经典培训课程和 ADS、HFSS 等专业软件使用培训课程,广受客户好评;并先后与人民邮电出版社、电子工业出版社合作出版了多本专业图书,帮助数万名工程师提升了专业技术能力。客户遍布中兴通讯、研通高频、埃威航电、国人通信等多家国内知名公司,以及台湾工业技术研究院、永业科技、全一电子等多家台湾地区企业。

易迪拓培训推荐课程列表: <http://www.edatop.com/peixun/tuijian/>



射频工程师养成培训课程套装

该套装精选了射频专业基础培训课程、射频仿真设计培训课程和射频电路测量培训课程三个类别共 30 门视频培训课程和 3 本图书教材;旨在引领学员全面学习一个射频工程师需要熟悉、理解和掌握的专业知识和研发设计能力。通过套装的学习,能够让学员完全达到和胜任一个合格的射频工程师的要求...

课程网址: <http://www.edatop.com/peixun/rfe/110.html>

手机天线设计培训视频课程

该套课程全面讲授了当前手机天线相关设计技术,内容涵盖了早期的外置螺旋手机天线设计,最常用的几种手机内置天线类型——如 monopole 天线、PIFA 天线、Loop 天线和 FICA 天线的设计,以及当前高端智能手机中较常用的金属边框和全金属外壳手机天线的设计;通过该套课程的学习,可以帮助您快速、全面、系统地学习、了解和掌握各种类型的手机天线设计,以及天线及其匹配电路的设计和调试...

课程网址: <http://www.edatop.com/peixun/antenna/133.html>



WiFi 和蓝牙天线设计培训课程

该套课程是李明洋老师应邀给惠普 (HP)公司工程师讲授的 3 天员工内训课程录像,课程内容是李明洋老师十多年工作经验积累和总结,主要讲解了 WiFi 天线设计、HFSS 天线设计软件的使用,匹配电路设计调试、矢量网络分析仪的使用操作、WiFi 射频电路和 PCB Layout 知识,以及 EMC 问题的分析解决思路等内容。对于正在从事射频设计和天线设计领域工作的您,绝对值得拥有和学习!...

课程网址: <http://www.edatop.com/peixun/antenna/134.html>



CST 学习培训课程套装

该培训套装由易迪拓培训联合微波 EDA 网共同推出,是最全面、系统、专业的 CST 微波工作室培训课程套装,所有课程都由经验丰富的专家授课,视频教学,可以帮助您从零开始,全面系统地学习 CST 微波工作的各项功能及其在微波射频、天线设计等领域的设计应用。且购买该套装,还可超值赠送 3 个月免费学习答疑...

课程网址: <http://www.edatop.com/peixun/cst/24.html>



HFSS 学习培训课程套装

该套课程套装包含了本站全部 HFSS 培训课程,是迄今国内最全面、最专业的 HFSS 培训教程套装,可以帮助您从零开始,全面深入学习 HFSS 的各项功能和在多个方面的工程应用。购买套装,更可超值赠送 3 个月免费学习答疑,随时解答您学习过程中遇到的棘手问题,让您的 HFSS 学习更加轻松顺畅...

课程网址: <http://www.edatop.com/peixun/hfss/11.html>

ADS 学习培训课程套装

该套装是迄今国内最全面、最权威的 ADS 培训教程,共包含 10 门 ADS 学习培训课程。课程是由具有多年 ADS 使用经验的微波射频与通信系统设计领域资深专家讲解,并多结合设计实例,由浅入深、详细而又全面地讲解了 ADS 在微波射频电路设计、通信系统设计和电磁仿真设计方面的内容。能让您在最短的时间内学会使用 ADS,迅速提升个人技术能力,把 ADS 真正应用到实际研发工作中去,成为 ADS 设计专家...

课程网址: <http://www.edatop.com/peixun/ads/13.html>



我们的课程优势:

- ※ 成立于 2004 年,10 多年丰富的行业经验,
- ※ 一直致力并专注于微波射频和天线设计工程师的培养,更了解该行业对人才的要求
- ※ 经验丰富的一线资深工程师讲授,结合实际工程案例,直观、实用、易学

联系我们:

- ※ 易迪拓培训官网: <http://www.edatop.com>
- ※ 微波 EDA 网: <http://www.mweda.com>
- ※ 官方淘宝店: <http://shop36920890.taobao.com>