

系统时序基础理论

对于系统设计工程师来说，时序问题在设计中是至关重要的，尤其是随着时钟频率的提高，留给数据传输的有效读写窗口越来越小，要想在很短的时间限制里，让数据信号从驱动端完整地传送到接收端，就必须进行精确的时序计算和分析。同时，时序和信号完整性也是密不可分的，良好的信号质量是确保稳定的时序的关键，由于反射，串扰造成的信号质量问题都很可能带来时序的偏移和紊乱。因此，对于一个信号完整性工程师来说，如果不懂得系统时序的理论，那肯定是不称职的。本章我们就普通时序（共同时钟）和源同步系统时序等方面对系统时序的基础知识作一些简单的介绍。

一. 普通时序系统（共同时钟系统）

所谓普通时序系统就是指驱动端和接收端的同步时钟信号都是由一个系统时钟发生器提供。下图就是一个典型的普通时钟系统的示意图，表示的是计算机系统的前端总线的时序结构，即处理器（CPU）和芯片组（Chipset）之间的连接。

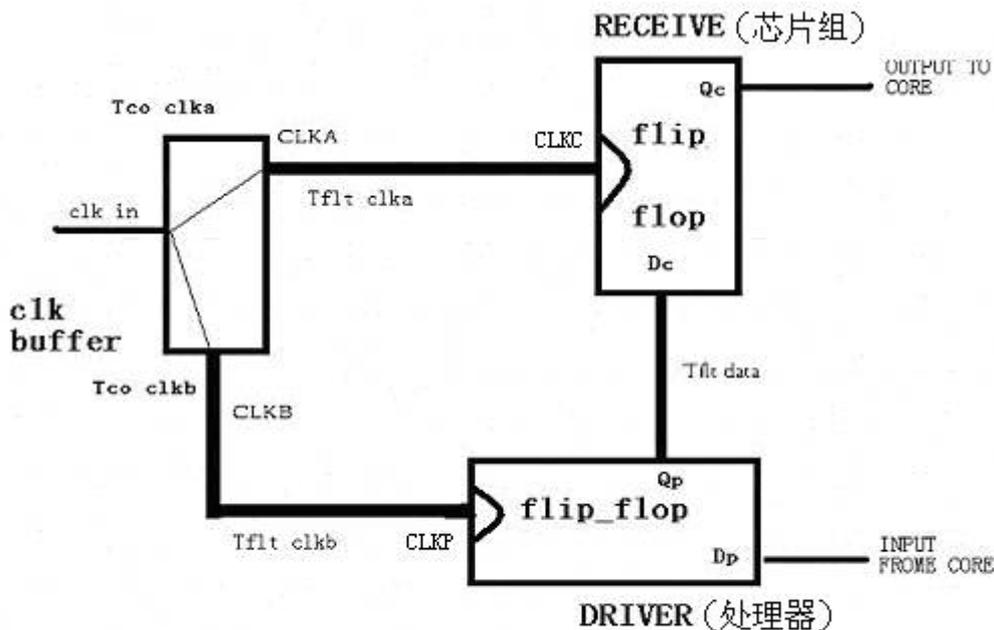


图1-6-1 普通时钟系统示意图

在这个例子中，驱动端（处理器）向接收端（芯片组）传送数据，我们可以将整个数据传送的过程考虑为三个步骤：

1. 核心处理器提供数据；
 2. 在第一个系统时钟的上升沿到达时，处理器将数据 D_p 锁存至 Q_p 输出；
 3. Q_p 沿传输线传送到接收端触发器的 D_c ，并在第二个时钟上升沿到达时，将数据传送到芯片组内部。
- 一般来说，标准普通时钟系统的时钟信号到各个模块是同步的，即图中的 $T_{flight\ clka}$ 和 $T_{flight\ clkb}$ 延时相同。通过分析不难看出，整个数据从发送到接收的过程需要经历连续的两个时钟沿，也就是说，如果要使系统能正常工作，就必须在一个时钟周期内让信号从发送端传输到接收端。如果信号的传输延迟大于一个时钟周期，那么当接收端的第二个时钟沿触发时，就会造成数据的错误读取，因为正确的数据还在传输的过程中，这就是建立时间不足带来的时序问题。目前普通时序系统的频率无法得到进一步提升的原因就在于此，频率越高，时钟周期越短，允许在传输线上

的延时也就越小，200-300MHz 已经几乎成为普通时序系统的频率极限。那么，是不是传输延时保持越小就越好呢？当然也不是的，因为它还必须要满足一定的保持时间。在接下来几节里，我们就建立和保持时间来分析一下时序设计需要考虑的一些问题以及正确的系统时序所必须满足的条件。

1. 时序参数的确定

对于时序问题的分析，我们首先要清楚地理解相关的一些时序参数的具体含义，比如 T_{co} ，缓冲延时，传播延迟，最大/小飞行时间，建立时间，保持时间，建立时间裕量，保持时间裕量，时钟抖动，时钟偏移等等，如果对这些参数的概念理解不深刻，就很容易造成时序设计上的失误。

首先要阐明的是 T_{co} 和缓冲延时 (buffer delay) 的区别。从定义上来说， T_{co} 是指时钟触发开始到有效数据输出的器件内部所有延时的总和；而缓冲延时是指信号经过缓冲器达到有效的电压输出所需要的时间。可以看出， T_{co} 除了包含缓冲延时，还包括逻辑延时。通常，确定 T_{co} 的方法是在缓冲输出的末端直接相连一个测量负载，最常见的是 50 欧姆的电阻或者 30pF 的电容器，然后测量负载上的信号电压达到一定电平的时间，这个电平称为测量电压 (V_{ms})，一般是信号高电平的一半。如 T_{co} 和缓冲延时的确定如下图所示：

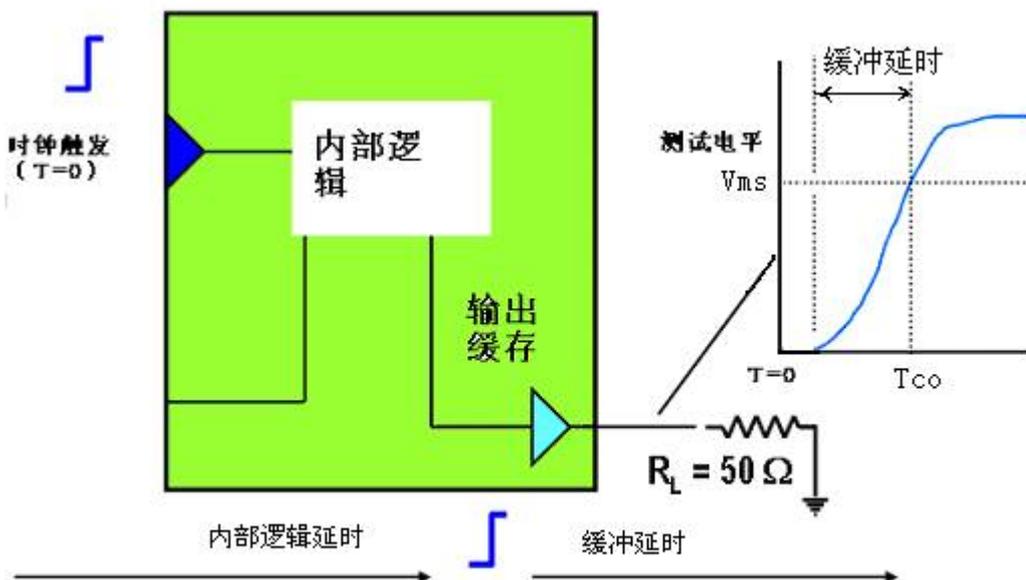


图1-6-2 T_{co} 和缓冲延时的确定

信号从缓冲器出来之后，就要经过传输线到接收终端，信号在传输线上的传输的延时我们称为传播延迟 (propagation delay)，它只和信号的传播速度和线长有关。然而我们在大多数时序设计里面，最关键的却不是传播延迟这个参数，而是飞行时间 (Flight Time) 参数，包括最大飞行时间

(Max Flight Time) 和最小飞行时间 (Min Flight Time)。飞行时间包含了传播延迟和信号上升沿变化这两部分因素，从下图中可以很容易看出两者的区别。

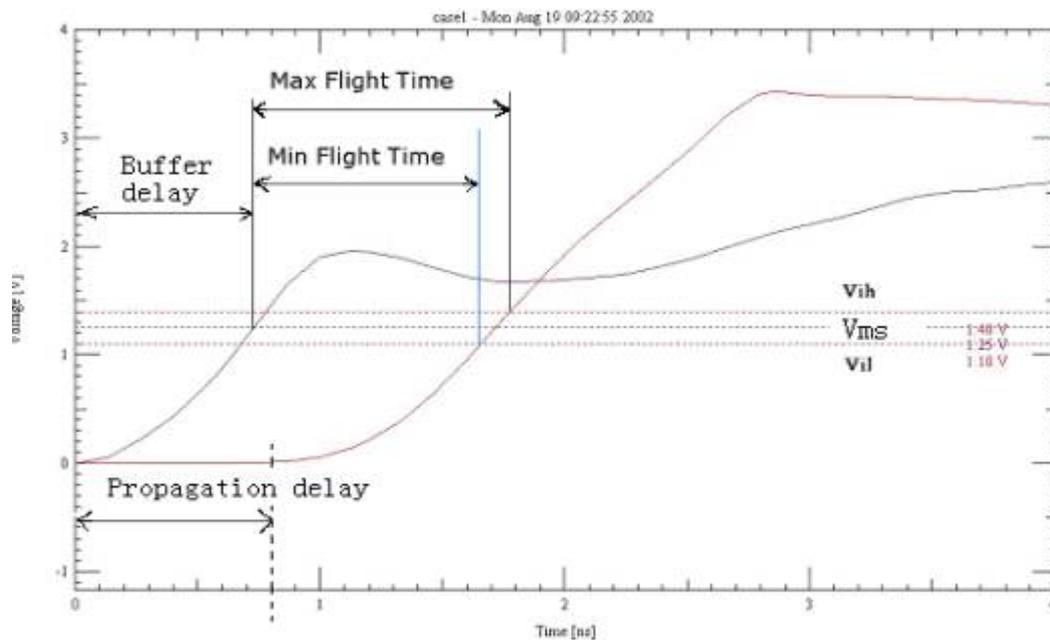


图1-6-3 传输延时和飞行时间

在较轻的负载（如单负载）情况下，驱动端的上升沿几乎和接收端的信号的上升沿平行，所以这时候平均飞行时间和传播延迟相差不大；但如果在重负载（如多负载）的情况下，接收信号的上升沿明显变缓，这时候平均飞行时间就会远远大于信号的传播延迟。这里说的平均飞行时间是指 Buffer 波形的 V_{ms} 到接收端波形 V_{ms} 之间的延时，这个参数只能用于时序的估算，准确的时序分析一定要通过仿真测量最大/最小飞行时间来计算。

上面只是对信号上升沿的分析，对于下降沿来说，同样存在着最大/最小飞行时间的参数，如下图。在时序计算时我们实际取的最大飞行时间是在上升沿和下降沿中取最长的那个飞行时间，而最小飞行时间则是取上升和下降沿中最短的那个飞行时间。

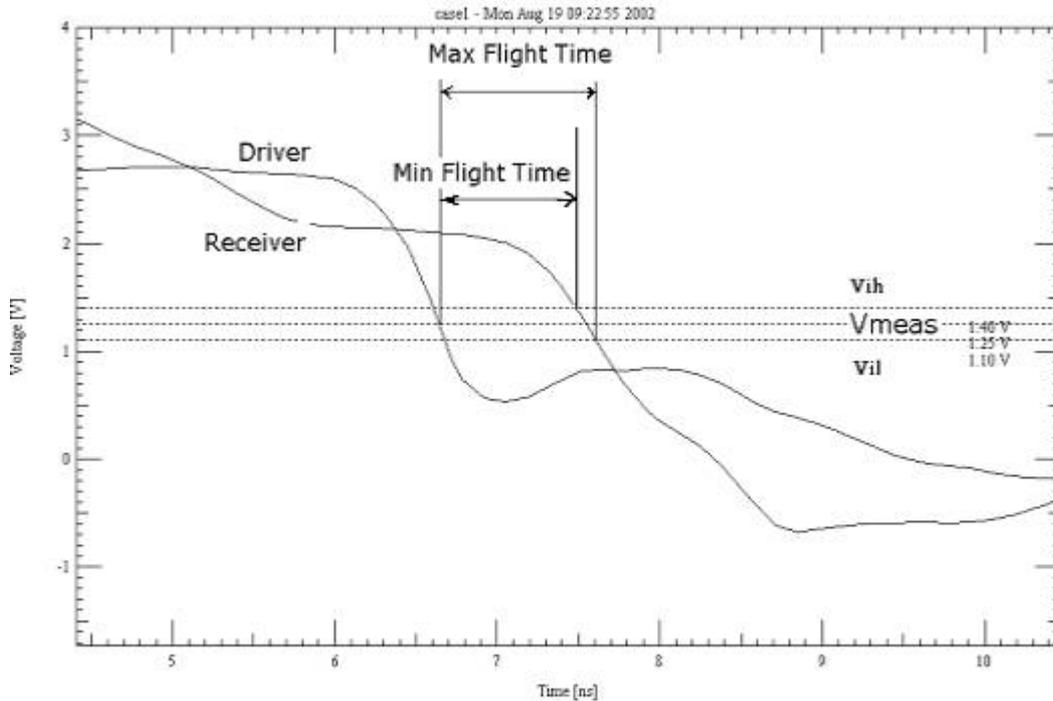


图1-6-4 下降沿的飞行时间参数

也有些时候，人们对信号的最大/最小飞行时间还有其它称谓，比如在 Cadence 软件中，就将最大飞行时间称为最终稳定延时（Final Settle Delay），而将最小飞行时间称为最早开关延时（First Switch Delay），如下图。

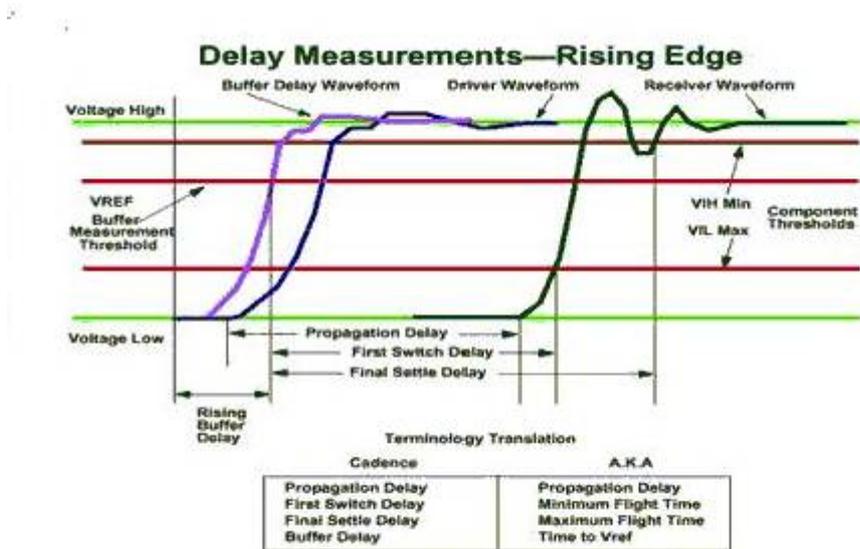


图1-6-5 Cadence软件里对时序参数的确定

信号经过传输线到达接收端之后，就牵涉到建立时间和保持时间这两个时序参数，它们是接收器本身的特性，表征了时钟边沿触发时数据需要在锁存器的输入端持续的时间。通俗地说，时钟信号来的时候，要求数据必须已经存在一段时间，这就是器件需要的建立时间（Setup Time）；而时钟边沿触发之后，数据还必须要继续保持一段时间，以便能稳定的读取，这就是器件需要的保持时间（Hold Time）。如果数据信号在时钟沿触发前后持续的时间均超过建立和保持时间，那么超过量就

分别被称为建立时间裕量和保持时间裕量。见图 1-6-6，其中还考虑了时钟误差的因素。

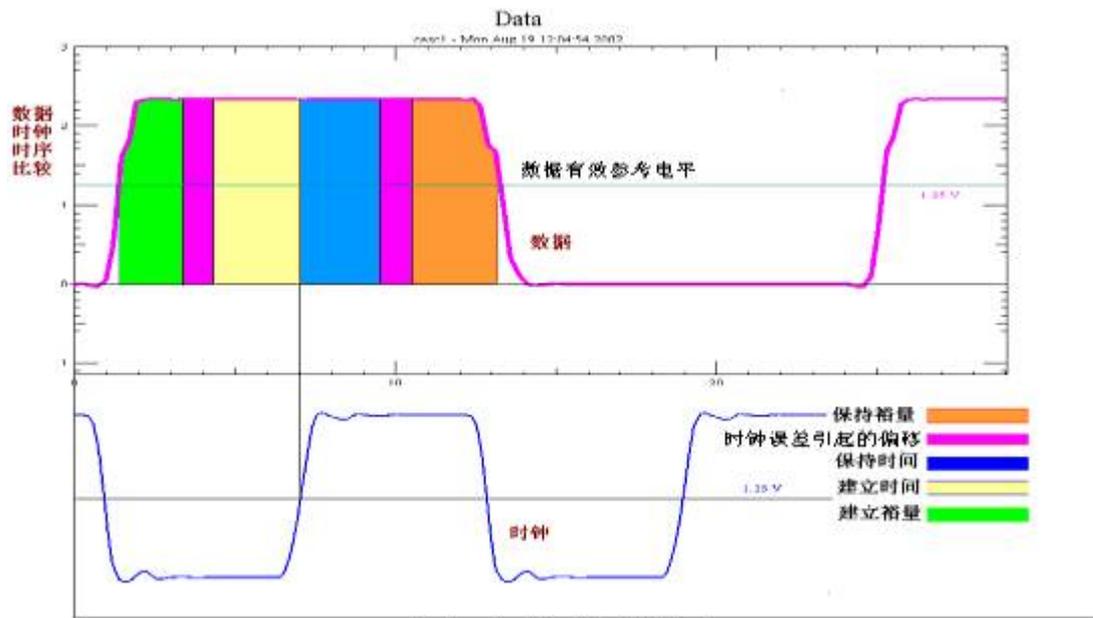


图1-6-6 建立和保持时间裕量定义

每个器件的建立和保持时间参数，一般都可以在相应的 DataSheet 查到，对于设计者来说最大的目的是提高时序的裕量，这样即使信号完整性上出现一点问题，或者外界环境发生一定的变化，系统仍然能正常工作，这就是一个设计优良的系统应该体现出的超强的稳定性。

系统时序设计中对时钟信号的要求是非常严格的，因为我们所有的时序计算都是以恒定的时钟信号为基准。但实际上时钟信号往往不可能总是那么完美，会出现抖动(Jitter)和偏移(Skew)问题。所谓抖动，就是指两个时钟周期之间存在的差值，这个误差是在时钟发生器内部产生的，和晶振或者 PLL 内部电路有关，布线对其没有影响，如图 1-6-7。除此之外，还有一种由于周期内信号的占空比发生变化而引起的抖动，称之为半周期抖动。总的来说，jitter 可以认为在时钟信号本身在传输过程中的一些偶然和不定变化之总和。

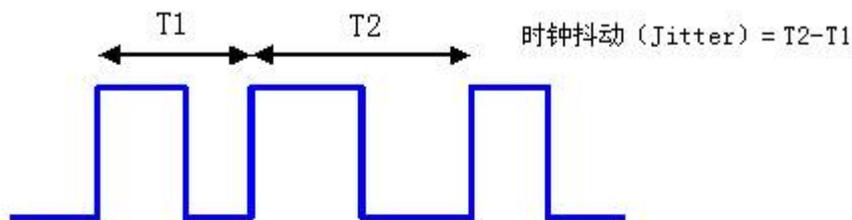


图1-6-7 时钟抖动示意图

时钟偏移(skew)是指两个相同的系统时钟之间的偏移。它的表现形式是多种多样的，既包含了时钟驱动器的多个输出之间的偏移，也包含了由于 PCB 走线误差造成的接收端和驱动端时钟信号之间的偏移，比如在图 1-6-1 中所示，CLKA 和 CLKB 之间的差异，CLKC 和 CLKP 之间的差异均为时钟偏移，这些偏移量在时序计算中需要全部考虑。

除了上面提到的这些概念，还有一点要注意的是，时刻不能忽略信号完整性对时序的影响，比如串扰会影响微带线传播延迟；反射会造成数据信号在逻辑门限附近波动，从而影响最大/最小飞行时间；时钟走线的干扰会造成一定的时钟偏移。有些误差或不确定因素是仿真中无法预见的，设计者只有通过周密的思考和实际经验的积累来逐步提高系统设计的水平。

2 时序约束条件

下面来具体讨论一下系统时序需要满足的一些基本条件。我们仍然以图 1-6-1 的结构为例，并可以据此画出相应的时序分析示意图（图 1-6-8）。

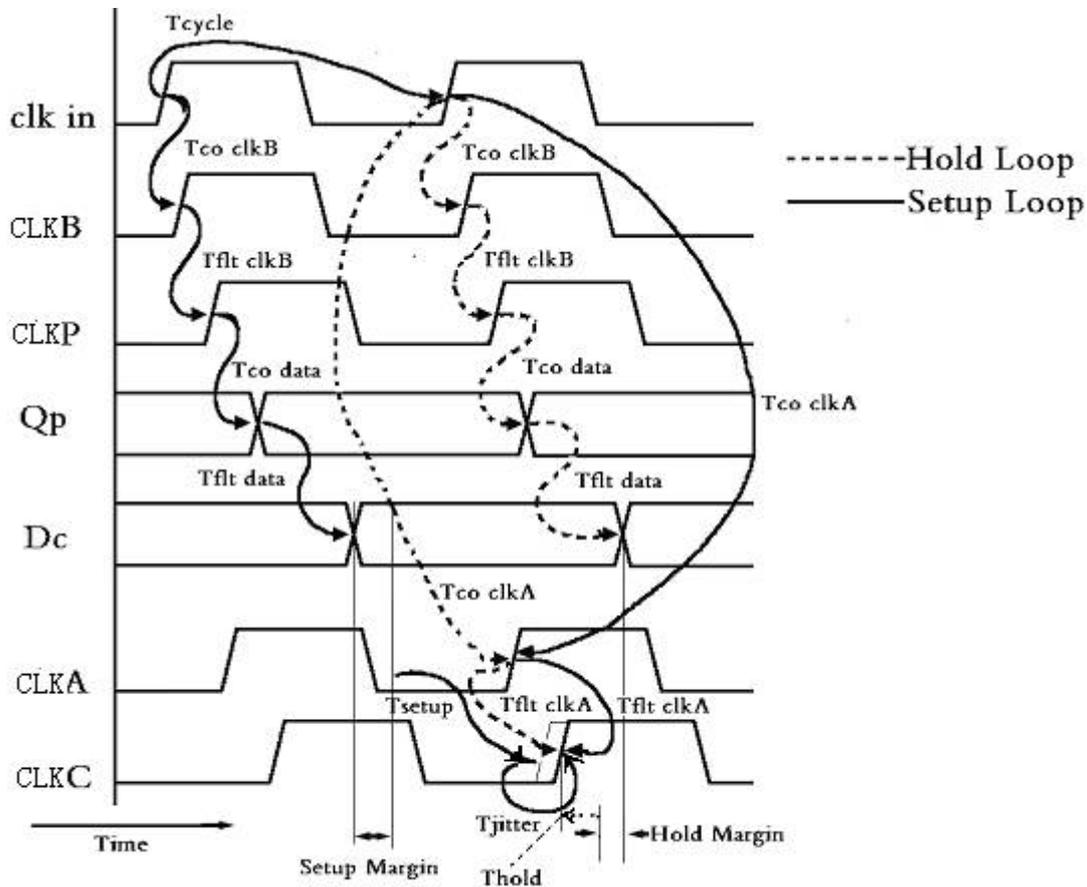


图1-6-8 时序分析示意图

在上面的时序图中，存在两个时序环，我们称实线的环为建立时间环，而虚线的环我们称之为保持时间环。可以看到，这两个环都不是闭合的，缺口的大小就代表了时序裕量的多少，因此设计者总希望尽可能增大这个缺口。同时还要注意到，每个环上的箭头方向不是一致的，而是朝着正反两个方向，因为整个系统时序是以时钟上升沿为基准的，所以我们时序环的起点为系统时钟 clk in 的上升沿，而所有箭头最终指向接收端的控制时钟 CLKC 的边沿。

先来分析建立时间环：

缺口的左边的半个时序环代表了从第一个系统时钟上升沿开始，直到数据传输至接收端的总的延时，我们计为数据延时，以 $T_{data\ tot}$ 表示：

$$T_{data\ tot} = T_{co\ clkB} + T_{flt\ clkB} + T_{co\ data} + T_{flt\ data}$$

上式中： $T_{co\ clkB}$ 是系统时钟信号 CLKB 在时钟驱动器的内部延迟； $T_{flt\ clkB}$ 是 CLKB 从时钟驱动器输出后到达发送端（CPU）触发器的飞行时间； $T_{co\ data}$ 是数据在发送端的内部延迟； $T_{flt\ data}$ 是数据从发送端输出到接收端的飞行时间。

从 CLKC 时钟边沿的右边半个时序环代表了系统时钟到达接收端的总的沿时，我们计为时钟延时，以 $T_{clk\ tot}$ 表示：

$$T_{clk\ tot} = T_{cycle} + T_{co\ clkA} + T_{flt\ clkA} - T_{jitter}$$

其中， T_{cycle} 是时钟信号周期； $T_{co\ clkA}$ 是系统时钟信号 CLKA（第二个上升沿）在时钟驱

动器的内部延迟；Tflt clka 是时钟信号从时钟驱动器输出到达接收端触发器的飞行时间；Tjitter 是时钟的抖动误差。

因此我们可以根据建立时间裕量的定义，得到：

$$Tsetup\ margin = Tclk\ tot - Tdata\ tot - Tsetup$$

将前面的相应等式带入可得：

$$Tsetup\ margin = Tcycle + Tco\ clka + Tflt\ clka - Tjitter - Tco\ clkb - Tflt\ clkb - Tco\ data - Tflt\ data - Tsetup$$

我们定义时钟驱动器(PLL)的两个时钟输出之间的偏移为 Tclock Skew，两根 CLOCK 走线之间的时钟偏移为 TPCB Skew，即：

$$Tclock\ Skew = Tco\ clkb - Tco\ clka; TPCB\ Skew = Tflt\ clkb - Tflt\ clka$$

这样就可以得到建立时间裕量的标准计算公式：

$$Tsetup\ margin = Tcycle - TPCB\ skew - Tclock\ skew - Tjitter - Tco\ data - Tflt\ data - Tsetup \quad (1.6.1)$$

再来看保持时间环：

对照图 1-6-8，我们可以同样的进行分析：

$$Tdata\ delay = Tco\ clkb + Tflt\ clkb + Tco\ data + Tflt\ data$$

$$Tclock\ delay = Tco\ clka + Tflt\ clka$$

于是可以得出保持时间裕量的计算公式：

$$Thold\ margin = Tdata\ delay - Tclock\ delay - Thold\ time$$

$$\text{即: } Thold\ margin = Tco\ data + Tflt\ data + Tclock\ skew + Tpcb\ skew - Thold \quad (1.6.2)$$

可以看到，式 1.6.2 中不包含时钟抖动 Jitter 的参数。这是因为 Jitter 是指时钟周期间 (Cycle to Cycle) 的误差，而保持时间的计算和时钟周期无关。

对于任何时钟控制系统，如果要能保证正常工作，就必须使建立时间余量和保持时间裕量都至少大于零，即 $Tsetup\ margin > 0$ ； $Thold\ margin > 0$ ，将公式 1.6.1 和 1.6.2 分别带入就可以得到普通时钟系统的时序约束条件不等式：

$$TPCB\ skew + Tclock\ skew + Tjitter + Tco\ data + Tflt\ data + Tsetup < Tcycle \quad (1.6.3)$$

$$Tco\ data + Tflt\ data + Tclock\ skew + Tpcb\ skew > Thold \quad (1.6.4)$$

需要注意的是：

1. 数据在发送端的内部延时 Tco data 可以从芯片的 datasheet 查到，这个值是一个范围，在式 1.6.3 中取最大值，在式 1.6.4 中取最小值。
2. 数据在传输线上的飞行时间 Tflt data 在实际计算中应该取最大/最小飞行时间参数，在式 1.6.3 中取最大飞行时间，在式 1.6.4 中取最小飞行时间。
3. 时钟的偏移 TPCB skew 和 Tclock skew 也是一个变化的不确定参数，一般为 $\pm N\ ps$ ，同样，在建立时间约束条件 1.6.3 中取 $+Nps$ ，而在保持时间约束条件 1.6.4 中取 $-Nps$ 。

从上面的分析可以看到，对于 PCB 设计工程师来说，保证足够稳定的系统时序最有效的途径就是尽量减小 PCB skew 和信号传输的飞行时间，而其它的参数都只和芯片本身的性能有关。实际中经常采取的措施就是严格控制时钟和数据的走线长度，调整合理的拓补结构，并尽可能减少信号完整性带来的影响。然而，即便我们已经考虑的很周全，普通时钟系统的本身的设计瓶颈始终是无法打破的，也就是建立时间的约束，我们在尽可能减少由 PCB 布线引起的信号延迟之外，器件本身的特性如 Tco、Jitter、TSetup 等等将成为最主要的制约因素，尽管我们可以通过提高工艺水平和电路设计技术来不断提高数字器件的性能，但得到的效果也仅仅是在一定范围之内提升了系统的主频，在频率超过 300MHz 的情况下，我们将不得不放弃使用这种普通时钟系统设计。

二. 源同步时序系统

针对普通时钟系统存在着限制时钟频率的弊端，人们设计了一种新的时序系统，称之为源同步时序系统。它最大的优点就是大大提升了总线的速度，在理论上信号的传送可以不受传输延迟的影响。下面我们来看看这种源同步时钟系统的结构。

1. 源同步系统的基本结构

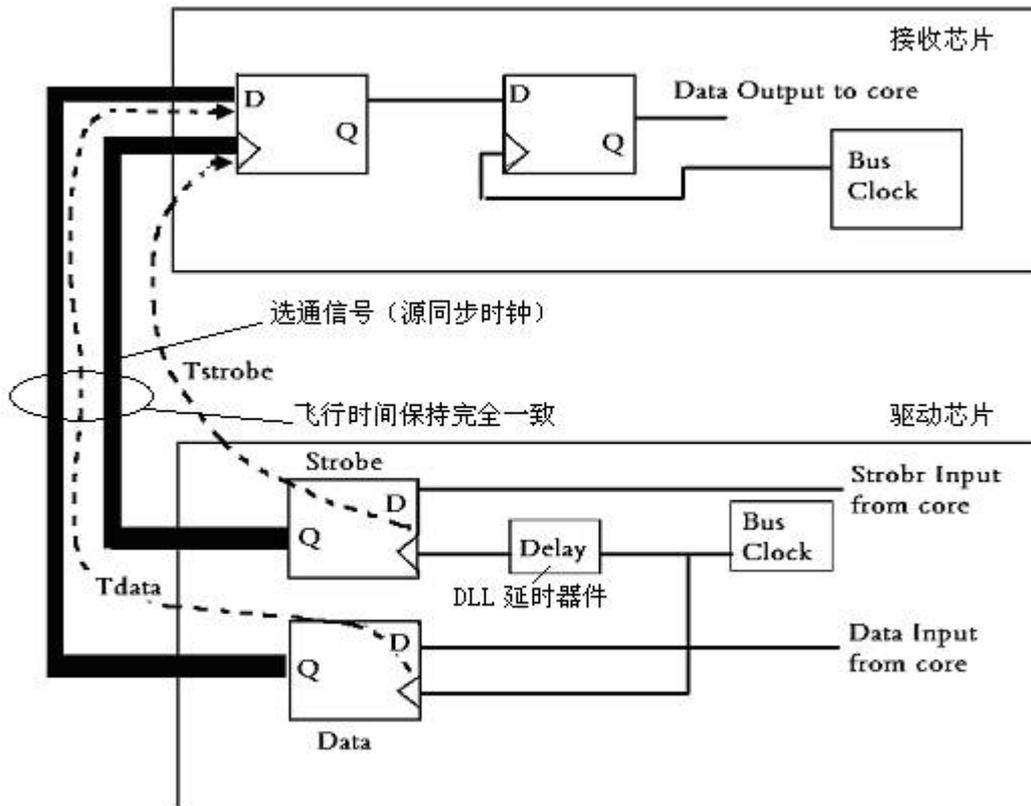


图1-6-9 源同步时钟系统的结构示意图

图 1-6-9 是一个基本的源同步时钟系统的结构示意图。可以看到，驱动芯片在发送数据信号的同时也产生了选通信号（Strobe），而接收端的触发器由该选通信号脉冲控制数据的读取，因此，这个选通信号也可以称为源同步时钟信号。

源同步时钟系统中，数据和源同步时钟信号是同步传输的，我们保证这两个信号的飞行时间完全一致，这样只要在发送端的时序是正确的，那么在接收端也能得到完全正确的时序。整个系统在时序上的稳定性完全体现在数据和选通信号的匹配程度上，包括传输延迟的匹配，器件性能的匹配等等，只要两者条件完全相同，那么我们就可以保证系统的时序绝对正确，而对系统的最高时钟频率没有任何限制。

当然，对于任何数据接收来说，一定的建立和保持时间都是必须满足的，源同步时钟系统也同样如此，主要体现在数据信号和选通信号之间的时序要求上。最理想的情况就是选通信号能在数据信号的中央部分读取，如图 1-6-10 所示，这样才能保证最充分的建立和保持时间。

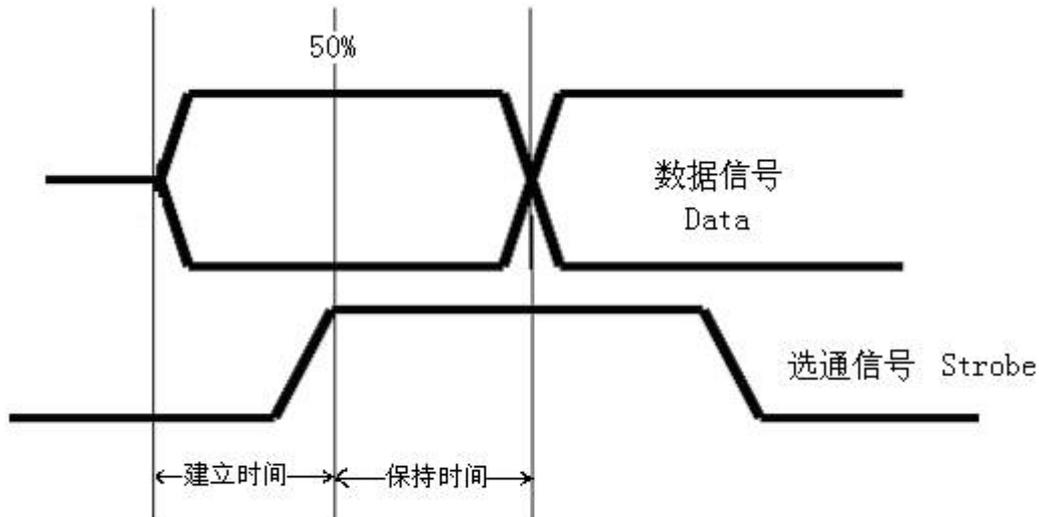


图1-6-10 理想的源同步数据传输时序图

为了保证选通信号和数据信号相对保持正确的时序，在源同步时钟系统中是通过驱动芯片内部的数字延时器件 DLL 来实现（见图 1-6-9），而不是通过 PCB 走线来控制，因为相比较而言，DLL 器件能做到更为精确的延时，同时还可以受芯片电路控制，调节起来更为方便。

2. 源同步时序要求

前面已经提到源同步时钟系统设计中最重要的一点就是保证 data 和 strobe 信号之间的偏移(Skew)最小，引起这些误差的最主要的因素就是实际系统中各器件的时序参数 T_{co} 的不同，此外还有布线上引起的差异，为了更好地说明这些 Skew 对时序的具体影响，下面我们还是通过时序图分析的方法来计算一下源同步时钟系统中信号的建立时间裕量和保持时间裕量。

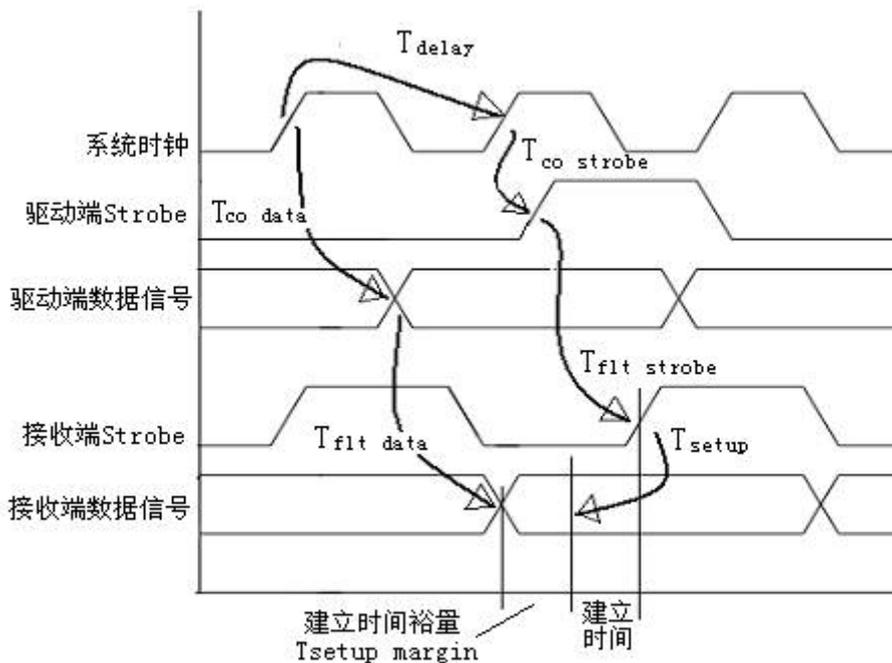


图1-6-11 源同步系统建立时间时序图

首先考虑建立时间裕量:

和普通时序分析的方法一样,我们也是从建立时间环的角度考虑,参考 1-6-9 的结构图,我们可以作出驱动端和接收端的时序示意图(1-6-11)。

$$T_{data} = T_{co\ data} + T_{flt\ data}$$

$$T_{strobe} = T_{co\ strobe} + T_{flt\ strobe} + T_{delay}$$

其中, T_{co} 和 T_{flt} 分别代表数据/选通信号在器件的内部延迟和信号传输的飞行时间, T_{delay} 是指数据信号和选通信号之间的延迟,由系统内 DLL 延时器件决定,图中假设为一个时钟周期。

将上式带入建立时间裕量的计算公式: $T_{setup\ margin} = T_{clk} - T_{data} - T_{setup}$
可以得到:

$$T_{setup\ margin} = (T_{co\ strobe} + T_{flt\ strobe} + T_{delay}) - (T_{co\ data} + T_{flt\ data}) - T_{setup}$$

如果我们将数据和 Strobe 信号在器件内的延时差异定义为 T_{vb} ; 将 PCB 走线引起的延时差异定义为 $T_{pcb\ skew}$:

$$T_{vb} = T_{co\ data} - (T_{co\ strobe} + T_{delay})$$

$$T_{pcb\ skew} = T_{flt\ data} - T_{flt\ strobe}$$

这样可以得到一个简单的建立时间裕量方程:

$$T_{setup\ margin} = -T_{vb} - T_{setup} - T_{pcb\ skew} \quad (1.6.5)$$

注意:公式 1.6.5 中 T_{vb} 是一个负值,从公式中可以看出,如果数据和选通信号的 T_{co} 相同的话,其大小就是 $-T_{delay}$,也就说明数据信号必须提前于选通信号发送。

再考虑保持时间裕量,如图 1-6-12,同样分析可以得到:

$$T_{hold\ margin} = (T_{co\ data} + T_{flt\ data} + T_{delay}) - (T_{co\ strobe} + T_{flt\ strobe}) - T_{hold}$$

如果定义: $T_{va} = T_{co\ data} - T_{co\ strobe} + T_{delay}$, 为正值; $T_{pcb\ skew}$ 定义不变。则保持时间裕量的计算公式为:

$$T_{hold\ margin} = T_{va} - T_{hold} - T_{pcb\ skew} \quad (1.6.6)$$

在公式 1.6.5 和 1.6.6 中,两个重要的参数是 T_{vb} 和 T_{va} , T_{vb} 表示“Valid before”,即数据在选通脉冲前有效存在的时间; T_{va} 表示“Valid after”,指选通信号脉冲之后数据仍然有效持续的时间。这两个时序参数一般都可以在器件的 datasheet 上找到。

和普通时钟系统相比,源同步总线在 PCB 布线的设计上反而更为方便,设计者只需要严格保证线长的匹配就行了,而不用太多的考虑信号走线本身的长度。当然,尽管源同步数据传输在理论上突破了频率的限制,但随着频率的提高,在控制 Skew 上也变得越来越困难,尤其是一些信号完整性因素带来的影响也越发显得突出,而且目前的高速系统设计中,往往综合应用了普通时钟和源同步时钟技术,比如对于地址/控制信号采用普通时钟总线,而高速的数据传输则是采用源同步总线。这些对于高速 PCB 设计分析人员来说是一个非常严峻的挑战。

射频和天线设计培训课程推荐

易迪拓培训(www.edatop.com)由数名来自于研发第一线的资深工程师发起成立,致力并专注于微波、射频、天线设计研发人才的培养;我们于 2006 年整合合并微波 EDA 网(www.mweda.com),现已发展成为国内最大的微波射频和天线设计人才培养基地,成功推出多套微波射频以及天线设计经典培训课程和 ADS、HFSS 等专业软件使用培训课程,广受客户好评;并先后与人民邮电出版社、电子工业出版社合作出版了多本专业图书,帮助数万名工程师提升了专业技术能力。客户遍布中兴通讯、研通高频、埃威航电、国人通信等多家国内知名公司,以及台湾工业技术研究院、永业科技、全一电子等多家台湾地区企业。

易迪拓培训推荐课程列表: <http://www.edatop.com/peixun/tuijian/>



射频工程师养成培训课程套装

该套装精选了射频专业基础培训课程、射频仿真设计培训课程和射频电路测量培训课程三个类别共 30 门视频培训课程和 3 本图书教材;旨在引领学员全面学习一个射频工程师需要熟悉、理解和掌握的专业知识和研发设计能力。通过套装的学习,能够让学员完全达到和胜任一个合格的射频工程师的要求...

课程网址: <http://www.edatop.com/peixun/rfe/110.html>

手机天线设计培训视频课程

该套课程全面讲授了当前手机天线相关设计技术,内容涵盖了早期的外置螺旋手机天线设计,最常用的几种手机内置天线类型——如 monopole 天线、PIFA 天线、Loop 天线和 FICA 天线的设计,以及当前高端智能手机中较常用的金属边框和全金属外壳手机天线的设计;通过该套课程的学习,可以帮助您快速、全面、系统地学习、了解和掌握各种类型的手机天线设计,以及天线及其匹配电路的设计和调试...

课程网址: <http://www.edatop.com/peixun/antenna/133.html>



WiFi 和蓝牙天线设计培训课程

该套课程是李明洋老师应邀给惠普 (HP)公司工程师讲授的 3 天员工内训课程录像,课程内容是李明洋老师十多年工作经验积累和总结,主要讲解了 WiFi 天线设计、HFSS 天线设计软件的使用,匹配电路设计调试、矢量网络分析仪的使用操作、WiFi 射频电路和 PCB Layout 知识,以及 EMC 问题的分析解决思路等内容。对于正在从事射频设计和天线设计领域工作的您,绝对值得拥有和学习! ...

课程网址: <http://www.edatop.com/peixun/antenna/134.html>



CST 学习培训课程套装

该培训套装由易迪拓培训联合微波 EDA 网共同推出,是最全面、系统、专业的 CST 微波工作室培训课程套装,所有课程都由经验丰富的专家授课,视频教学,可以帮助您从零开始,全面系统地学习 CST 微波工作的各项功能及其在微波射频、天线设计等领域的设计应用。且购买该套装,还可超值赠送 3 个月免费学习答疑...

课程网址: <http://www.edatop.com/peixun/cst/24.html>



HFSS 学习培训课程套装

该套课程套装包含了本站全部 HFSS 培训课程,是迄今国内最全面、最专业的 HFSS 培训教程套装,可以帮助您从零开始,全面深入学习 HFSS 的各项功能和在多个方面的工程应用。购买套装,更可超值赠送 3 个月免费学习答疑,随时解答您学习过程中遇到的棘手问题,让您的 HFSS 学习更加轻松顺畅...

课程网址: <http://www.edatop.com/peixun/hfss/11.html>

ADS 学习培训课程套装

该套装是迄今国内最全面、最权威的 ADS 培训教程,共包含 10 门 ADS 学习培训课程。课程是由具有多年 ADS 使用经验的微波射频与通信系统设计领域资深专家讲解,并多结合设计实例,由浅入深、详细而又全面地讲解了 ADS 在微波射频电路设计、通信系统设计和电磁仿真设计方面的内容。能让您在最短的时间内学会使用 ADS,迅速提升个人技术能力,把 ADS 真正应用到实际研发工作中去,成为 ADS 设计专家...

课程网址: <http://www.edatop.com/peixun/ads/13.html>



我们的课程优势:

- ※ 成立于 2004 年,10 多年丰富的行业经验,
- ※ 一直致力并专注于微波射频和天线设计工程师的培养,更了解该行业对人才的要求
- ※ 经验丰富的一线资深工程师讲授,结合实际工程案例,直观、实用、易学

联系我们:

- ※ 易迪拓培训官网: <http://www.edatop.com>
- ※ 微波 EDA 网: <http://www.mweda.com>
- ※ 官方淘宝店: <http://shop36920890.taobao.com>