

使用指南 (Tutorial)

修订版序

从首次接触这个软件到现在，有一段时间了。那时由于急着使用，因此对一些认为不太重要的地方没有进行整理。后来才发现，其实每一部分都是很有用的。此修订，一个是将 LineSim (Tutorial) 与后加的 Crosstalk (Tutorial) 的目录统一起来，再有就是原文基础上增加了多板仿真 (Tutorial) 一节。

同样，对于那一时期我整理的 BoardSim、LineSim 使用手册，也有同样的一个没有对一些章节进行翻译整理问题 (当初认为不太重要)。而实际上使用时，有一些东西是非常重要的，同时也顺便进行了翻译。此外，通过使用，对该软件有了更多一些理解，显然以前只从字面翻译的东西不太好理解，等我有时间将它们重新整理后，再提供给初学的朋友。对在学习中给予我大量无私帮助的 Aming、pandajohn、lzd 等网友表示衷心的感谢。

Poqi055 2002-8-20

2002-8-20

目录

使用指南 (TUTORIAL)	1
第一章 LINESIM	4
1.1 在 LINESIM 里时钟信号仿真的教学演示	4
第二章 时钟网络的 EMC 分析	7
2.1 对是中网络进行 EMC 分析	7
第三章 LINESIM' S 的干扰、差分信号以及强约束特性	8
3.1 “受害者”和“入侵者”	8
3.2 如何定线间耦合。	8
3.3 运行仿真观察交出干扰现象	9
3.4 增加线间距离减少交叉干扰 (从 8 MILS 到 12 MILS)	9
3.5 减少绝缘层介电常数减少交叉干扰	9
3.6 使用差分线的例子 (关于差分阻抗)	9
3.7 仿真差分线	10
第四章 BOARDSIM	11
4.1 快速分析整板的信号完整性和 EMC 问题	11
4.2 检查报告文件	11
4.3 对于时钟网络详细的仿真	11
4.4 运行详细仿真步骤：	11
4.5 时钟网络 CLK 的完整性仿真	12
第五章 关于集成电路的 MODELS	14
5.1 模型 MODELS 以及如何利用 TERMINATOR WIZARD 自动创建终接负载的方法	14
5.2 修改 U3 的模型设置 (在 EASY. MOD 库里 CMOS, 5V, FAST)	14
5.3 选择模型 (管脚道管脚) CHOOSING MODELS INTERACTIVELY (交互), PIN-BY-PIN	14
5.4 搜寻模型 (FINDING MODELS (THE "MODEL FINDER"SPREADSHEET))	15
5.5 例子：一个没有终接的网络	15
第六章 BOARDSIM 的干扰仿真	18
6.1 BOARDSIM 干扰仿真如何工作	18
6.2 对差分信号使用 BOARDSIM 干扰仿真	18

6.3 仿真的例子：在一个时钟网络上预测干扰	18
6.3.1 加载本例的例题“ DEMO2.HYP ”	18
6.3.2 AUTOMATICALLY FINDING "AGGRESSOR" NETS	18
6.3.3 为仿真设置 IC 模型	19
6.3.4 查看在耦合区域里干扰实在什么地方产生的	19
6.3.5 驱动 IC 压摆率影响干扰和攻击网络	20
6.3.6 电气门限对比几何门限	20
6.3.7 用交互式仿真"CLK2"网络	20
6.4 快速仿真：对整个 PCB 板作出干扰强度报告	20
6.5 运行详细的批模式干扰仿真	21
第七章 关于多板仿真	23
<hr/>	
7.1 多板仿真例题，检查交叉在两块板子上网络的信号质量	23
7.2 浏览在多板向导中查看建立多板项目的方法	24
7.3 仿真一个网络 A0	24
7.4 用 EBD 模型仿真	24

HyperLynx

HyperLynx 是高速仿真工具，包括信号完整性 (signal-integrity)、交叉干扰 (crosstalk)、电磁屏蔽仿真 (EMC)。

第一章 LineSim

许多 PCB 设计按照预想的防止出现各种问题的方案进行设计，然而最终设计失败了。使用这个工具可以在 PCB 设计的初期，将考虑到的方案进行仿真，使得在实际布板的时候更加合理的将布线工具的约束条件设好。由于普通的 PCB 电路图不包括进行信号完整性、交叉干扰、电磁屏蔽仿真需要的各种信号的物理信息。比如，时钟在 PCB 原理图上只不过是几条从驱动器到接收器之间的若干条连线而已。然而就是这样的线，它是单一的一根线还是组线？是在 PCB 外层布线还是在内层布线？这些都是影响信号完整性的重要因素。

1.1 在 LineSim 里时钟信号仿真的教学演示

假设你在进行一个 PCB 板的设计，时钟信号又是连线较多的，通过这个例子，可以了解 LineSim 起到的作用。步骤如下：

1.1.1 使用 File/Open LineSim File 加载例题 "CLOCK.TLN"

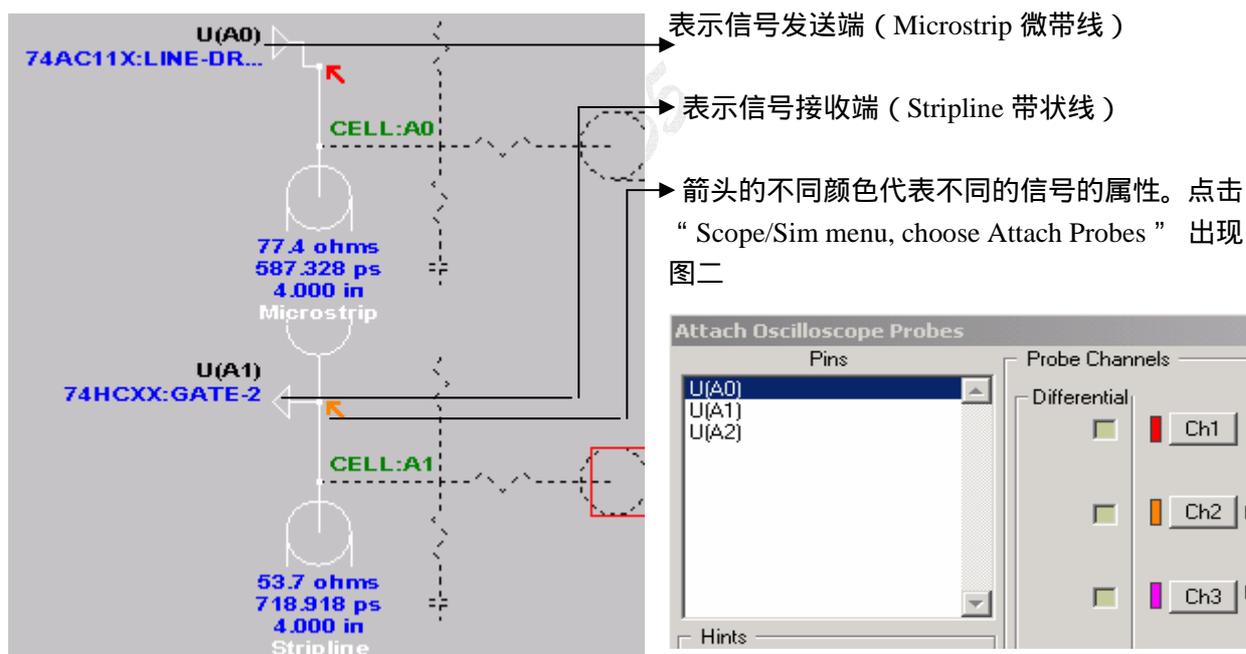


图 1.1 LineSim 图

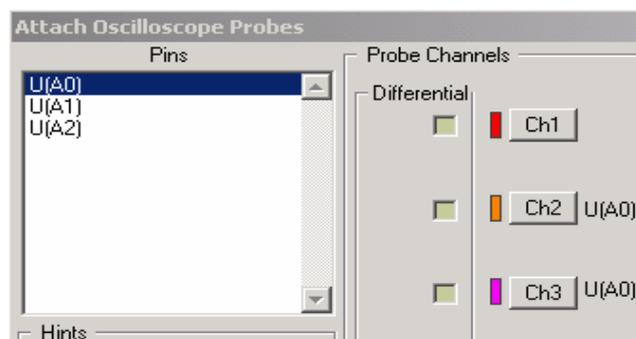


图 1.2 信号属性

点击 "Scope/Sim menu" 选择 "Run Scope" 出现数字示波器。

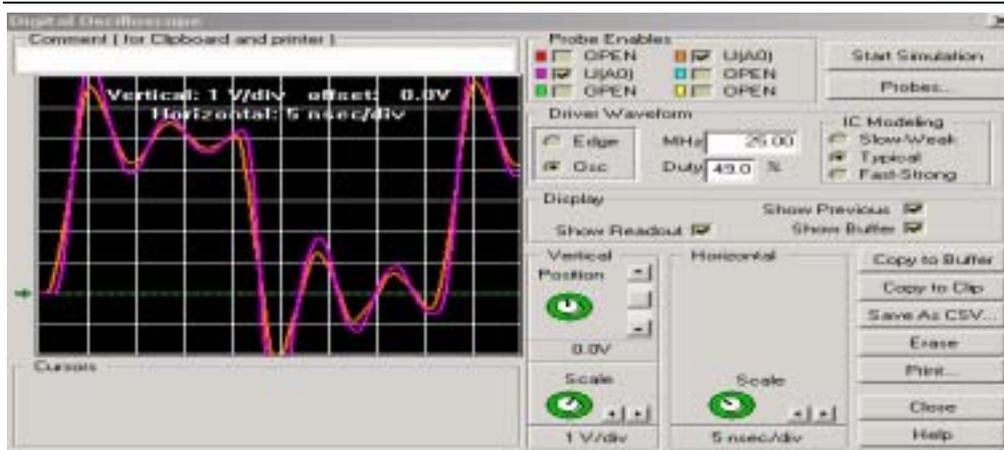


图 1.3 仿真数字示波器

在波形驱动区“Driver Waveform”域选择“Osc”，并将频率设为 25MH；在水平扫描（Horizontal Scale）区修改每度 5 秒。点击“Start Simulation”按钮开始仿真。在数字示波器上可以看到方波结果。

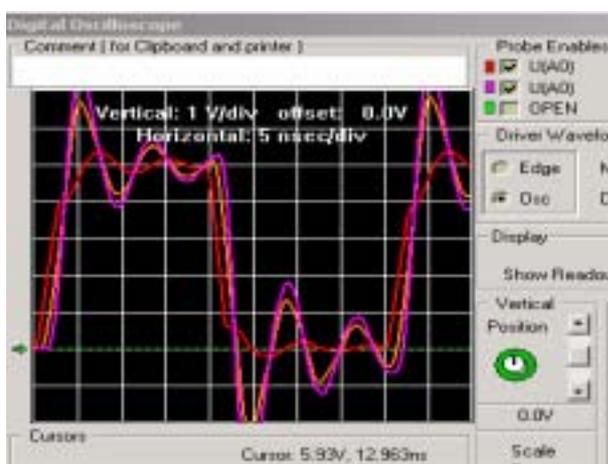


图 1.4 仿真结果

红色：输入驱动信号。

橙色、紫色：接收信号。

显然，与驱动信号相比，接收的信号质量太差，有明显的过冲，这样的信号在实际中是不能使用的。

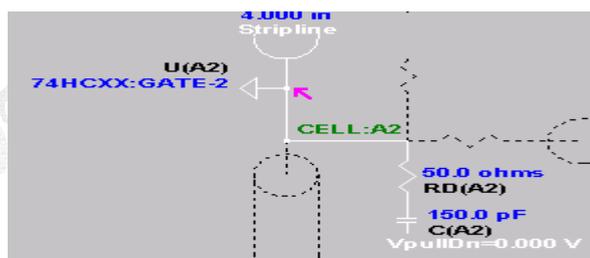


图 1.5 修改终接负载

1.1.3 采用终接负载的方法修正时钟网络

i . 激活负载（单击右键，负载由灰色变白），修改负载数值（用左键点击数值，在出现的窗口中修改）。电阻由 10k 欧姆 = 》50、电容由 100p 法 = 》150p 法。再次运行仿真。

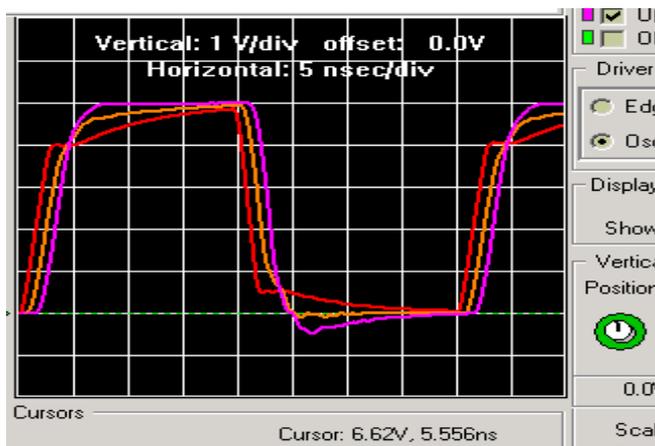


图 1.6 终接负载后的仿真结果

显然此时激励信号与接收信号之间的差别大大缩小了（同样 25MHz，5s）。如果增加电容值还可以减少过冲。

1.1.4 采用 IBIS 方法的系列终端仿真。

在制作原理图的时候可以引入“IBIS”模型数据。

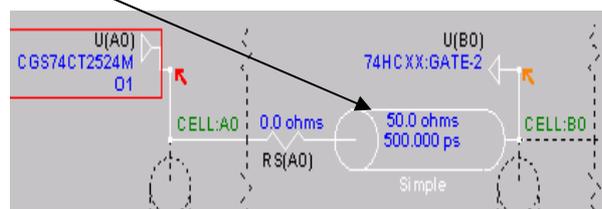


图 1.7 采用 IBIS 数据的电路图

在“Run Scope”的窗口中有一项是关系到 IBIS 仿真的设置：当 IC Modeling 选择不同数值时，仿真结果差异很大。



图 1.8



图 1.9 IC Modeling 选择 Slow - Weak



图 1.10 IC Modeling 选择 Fast - Strong

1.1.5 利用终端“Wizard”功能寻找最佳终接数值。

从“Wizards”菜单中选择“Terminator Wizard”，在 Wizard 对话框中有“选择网络”(Select Net)：双击这里。将自动进行中断优化，并给出结果。

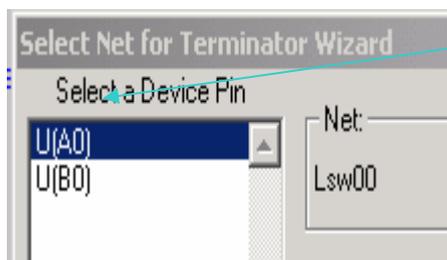


图 1.11 Terminator Wizards 中选择网络

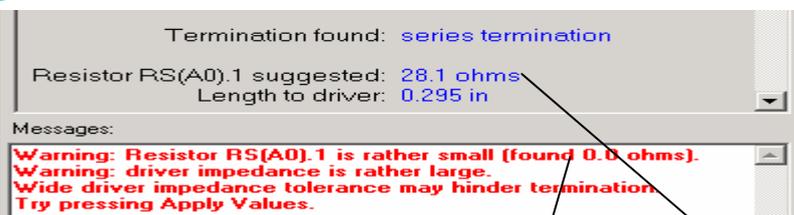
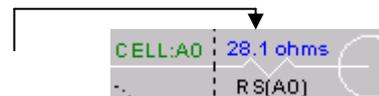


图 1.12 自动优化 原 IBIS 中 0 欧姆 = 》 28.1 欧姆

在图 12 中按下 ,按钮 ,则在



电路图中该电阻被修改。



第二章 时钟网络的 EMC 分析

2.1 对是中网络进行 EMC 分析

从文件菜单中重新打开“CLOCK.TLN”文件。从“Spectrum/Sim menu”选择“Spectrum Analyzer”项。出现“Spectrum Analyzer”窗口(图 2.1)：选择“Settings”，在出现的“Set Spectrum Analyzer Probing”

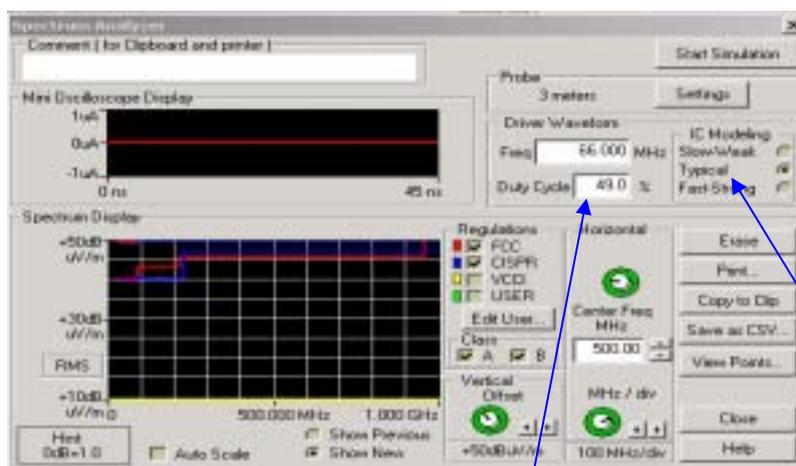


图 2.1 Spectrum Analyzer 窗口

在图 2.1 中设置“Driver Waveform”为 33MHz，在“IC Modeling”选择“Typical”，然后运行“Start Simulation”，将出现电磁分析的频谱图 2.4。

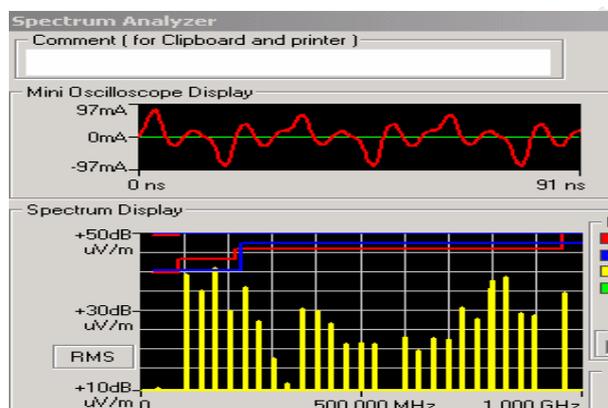


图 2.4 未经优化的时钟网络 EMC 仿真

窗口中设置：“Automatically Find Positions for Maximum Radiation”；



图 2.2 Set Spectrum Analyzer Probing 窗口的设置

还要设置：Choose antenna probe.

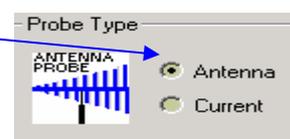


图 2.3

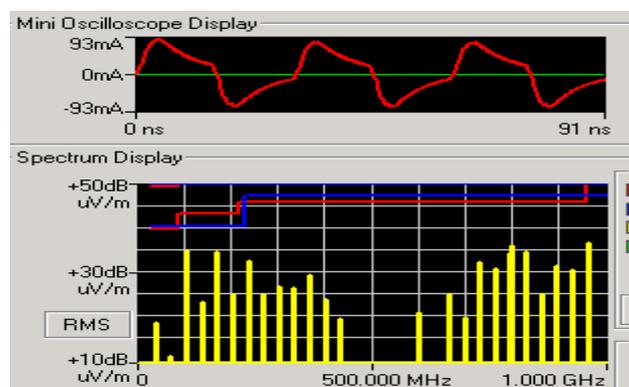


图 2.5 经优化的时钟网络 EMC 仿真

考察分析结果，黄色垂直条代表了时钟信号仿真时的实际作用。红色线（FCC 美国）、蓝色线（CISPR 欧洲）代表国家规定的容限。（注意到在 100 MHz - 200 MHz 范围，有些频谱是超标的。）

现在运行进行过终端处理的同样的网络。打开“CLOCKFIX.TLN”文件，在同样进行设置后，再次运行“Start Simulation”（图 2.5），显然这时所有的时谱线均在标准线之下了。

注意：如果你在电原理图“SER_IBS.TLN”里运行 EMC，你将什么结果也得不到，这是因为在电原理图中传输线（transmission line）被定义成“无物理参数的简单线条”。EMC 仿真前必须对传输线进行物理定义。

第三章 LineSim's 的干扰、差分信号以及强制约束特性

如果有两条信号频率不同的高速线出现，将会出现交叉干扰，那么，两线间的距离应该是多少？走线层该怎样安排？这些要依靠“交叉干扰分析”

3.1 “受害者”和“入侵者”

从文件菜单中重新打开"XT Trace Separation.TLN"文件。里面有三条不同的传输线，IC 驱动为高速 3.3V 高速 CMOS 器件，其模型在 Demolibzimu 的 EASY.MOD 中。

用鼠标指在 ICs 附近将出现一个红色的框，点击右键就会出现“Assign Models”对话框（图 3.2）：

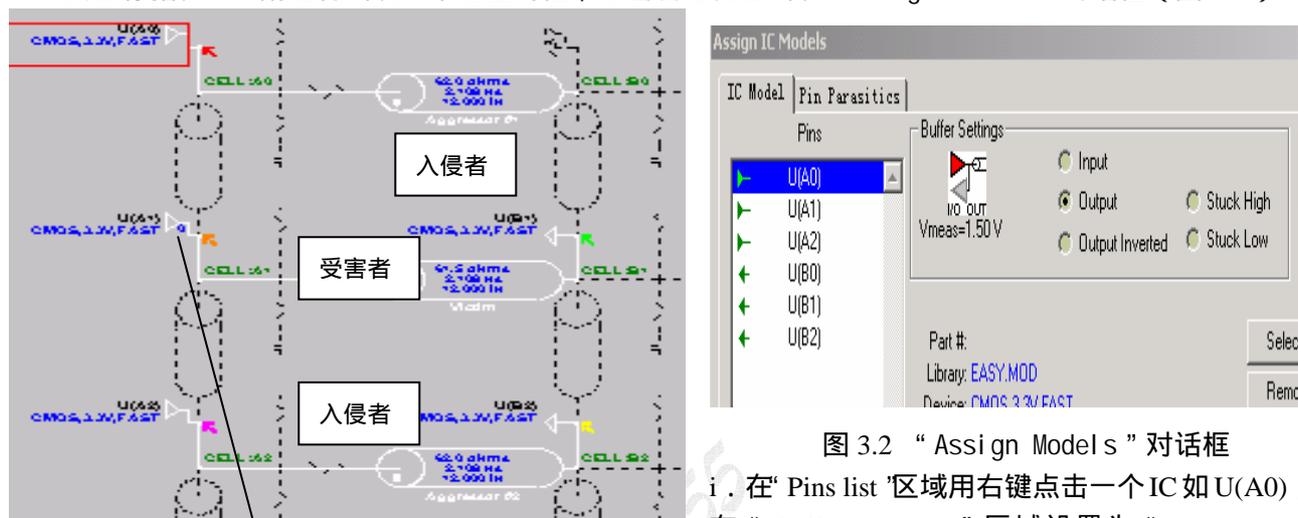


图 3.1 用于交叉干扰的电路

图 3.2 “Assign Models”对话框

i. 在“Pins list”区域用右键点击一个 IC 如 U(A0)，在“Buffer Settings”区域设置为“Output”，意味着在防震得时候，它是由高到底或者由低到高变化。

ii. 同样设置 A2 为输入输出，设置 A1 为“Stuck Low”（被干扰），就是说仿真时该线上没有信号变化。注意：在 A1 处有一个“0”标记表示该线处于“Stuck Low”状态。

3.2 如何定线间耦合。

LineSim's 交叉干扰的仿真要求在电路图的线上作出耦合信息（详情见 LineSim's basic, non-crosstalk features, [click here](#)）。任何数量的耦合区域、任何一条线都可以被定义。（Demo 版没有）一旦一条线被定义，在电路图上将有不同的表现：将光标指向该线时将出现黄色框



a) 右击黄色框就出现“Edit Transmission Line”窗口

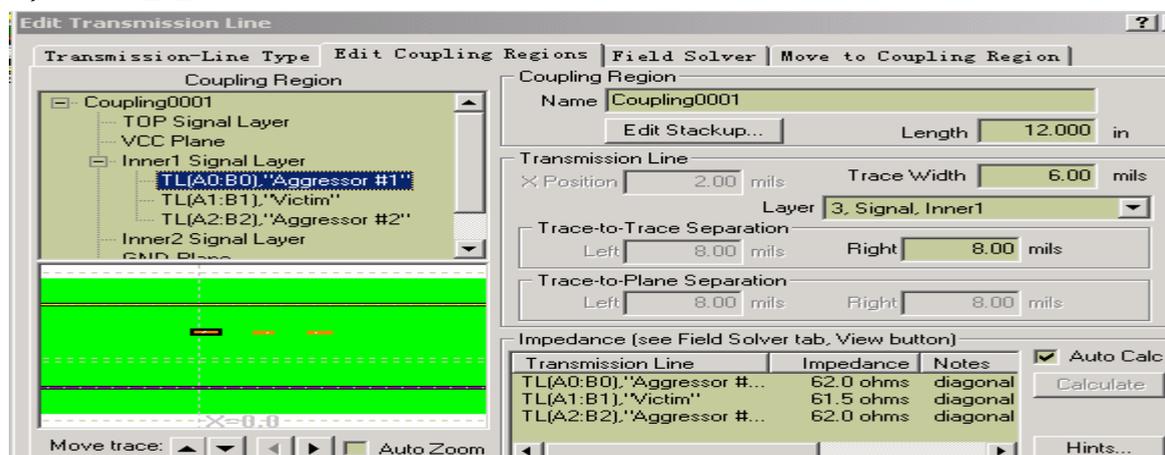


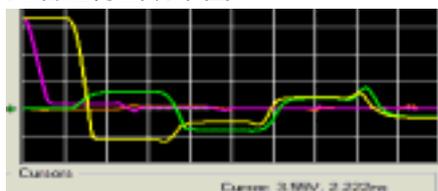
图 3.3 右击黄色框出现的“Edit Transmission Line”窗口

b) 点击“Edit Coupling Regions tab.”可以看到在中间层有三条线，在右边将显示线的信息。譬如：所有的线在中间层、边到边线距 8mils、耦合区间长 12 英寸等。

3.3 运行仿真观察交出干扰现象

从“Scope/Sim”菜单运行“Run Scope”，在“Driver Waveform”区设置  为沿触发。

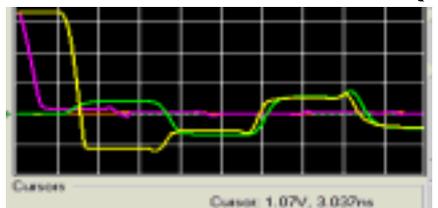
在“IC Modeling”区域设置为“典型” 。在“Horizontal Scale”区设置成 2 nsec/div。然后运行出现下图：



其中绿色和橙色波形显示了中间那条被干扰的线上接收端电压，可以看到橙色线几乎没有造成干扰，这是由于该线接收端是阻抗很低的 CMOS 驱动器。然而，绿色线就不同了，它有大于 1V 的干扰。

图 3.4 8mil 线距的线间交叉干扰

3.4 增加线间距离减少交叉干扰 (从 8 mils 到 12 mils)



在图 3.1 右边点亮“middle trace”，在“Trace-to-Trace Separation”区域将原来的 8 mils 增加到 12 mils。可以看到明显地绿色干扰线的电压幅度从 3.55v 降到 1.07v。

图 3.5 12mil 线距的线间交叉干扰

3.5 减少绝缘层介电常数减少交叉干扰

除了增加线间距离外，还有很多方法可以减少交出干扰。其中之一就是改变 PCB 板的介质层的介电常数。（层叠 stackup）下面是一个将绝缘层的厚度从 10mil 减到 5mil 的例子。

a) 在“Edit”菜单中选择“stackup editor”。

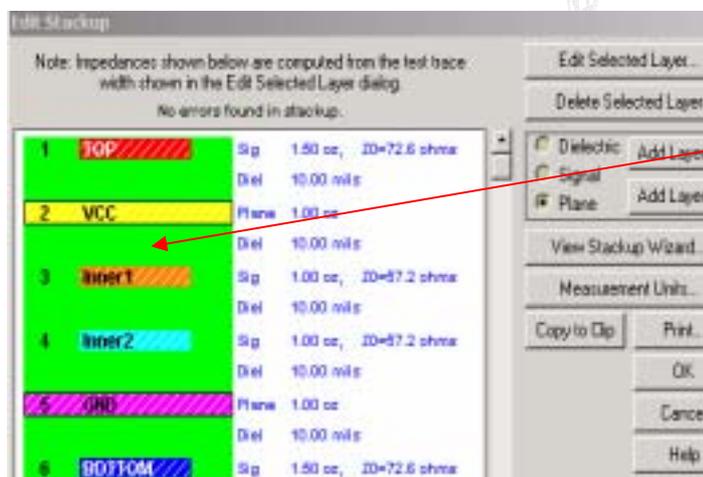


图 3.6 Edit 菜单中“Edit stackup”窗口（改变层厚）

b) 将鼠标指在“VCC”和“Inner1”中间的区域，并且双击，将出现修改层厚的对话框将 10mil 改成 5mil。同理将“Inner2”和“GND”之间的厚度也改成 5mil。

从再次从 scope/Sim 菜单选择运行 Run Scope，并且按下 Simulation button 按钮，此时可以看到绿色的干扰信号幅度只有 240mv 了。

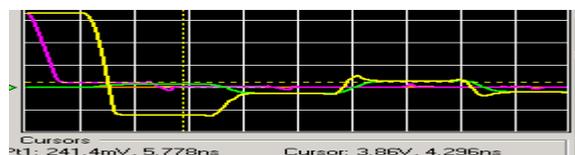


图 3.7 层厚从 10mil 减到 5mil 后的干扰

扰

实际上许多因素都会产生交叉干扰：驱动 IC 的电器特性、线宽、线间距离、线长、线上的终接电阻和 PCB 板层的分配，层厚等，采用 LineSim（布局布线前）方法可以让设计者在实际布线之前确定一些最合理的布线参数。

3.6 使用差分线的例子（关于差分阻抗）

在使用一对差分线的时候，你经常有意的将两根线紧密并列排列在一起，因此任何的外部信号如果在一根线上引起干扰，则必然在另一根线上也引起干扰，由于差分特性在末端这些干扰将被抵消。

实际上对于差分线来讲“插法阻抗”是一个非常重要的参数，使用 LineSim's（布局布线前）它可以自动计

算插法阻抗数值和耦合参数，并且给出参考数值。

a) 打开"XT Coupled Differential.TLN"。电路图中有两条传输线，这是一对使用 "LVDS" (total swing voltage is about 400 mV)技术的传输线。

b) 现在注意如何定义 U(A1)是相对 U(A0)反相的。

在电路图的左边用鼠标任意指向一个驱动 IC，将出现红色框，右击鼠标键将出现 "IC Models dialog"

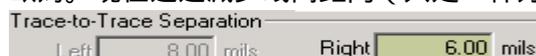


在 "list" 区点击鼠标一次 U(A1)，在 "uffer Settings" 区可以看到它是被设置为 "Output Inverted." Output Inverted。就是说它的开关是相对于上面的驱动信号而言。假设驱动器的阻抗厂家给定是 100 欧姆的差分阻抗，而且在电路图中已经这样设定了。来看看仿真结果：

在图纸上任选一个传输线，并打开传输线编辑窗口，选择 "Edit Coupling Regions" 标签。在右下角的

"Impedance" 区域，中 (Differential) 123.0 ohms 差分阻抗为 123 欧姆，显然大大高于设计的 100

欧姆。现在通过减少线间距离 (只是一种方法)：从 8mil 到 6mil 的方法来减少差分阻抗。在确定以后，



再次打开传输线编辑框此该线的差分阻抗变成了 113. 欧姆，还是显得太高。再用减少层间介电常数 (厚度) 的方法进一步



步减少差分阻抗。在编辑菜单中选择 "tackup button"，改

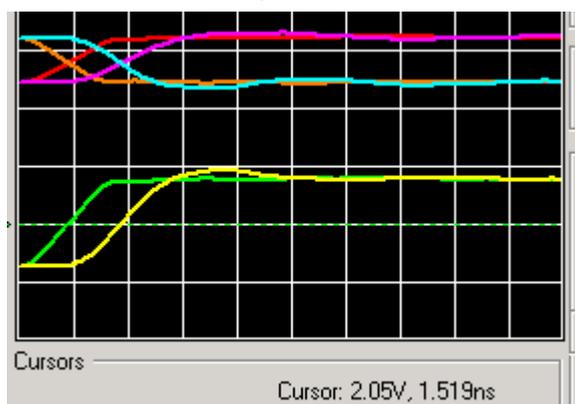
变 "TOP" 和 "VCC" 层之间的厚度从 10mil 到 5mil。然后再次打开传输线编辑窗口，此时线间的差分阻抗已经变成 97 欧姆。此时再次调整线间距为 7mil，这时的线间阻抗是 100.1 欧姆。

可以在传输线编辑器的 "Field Solver" 标签下详细的观察结果。当 "Edit Coupling Regions" 项还是选中的情况下，点击 "Field Solver" 标签。在 "Numerical Results" 区域单击 "View" 按钮就会出现报告文件。它包括了如下信息：

阻抗和终端摘要、物理的输入数据、Field-Solver 输出数据、差分阻抗、共模阻抗、导线与地之间的阻抗、最佳终端阵列。

3.7 仿真差分线

设置水平标度：500 psec/div.、垂直标度：500 mV/div，进行仿真：



(记住 LVDS 驱动的 p - p 电压 400-mV) 红、紫、兰、橙是取自信号的尾部示波器探针在两个驱动和两个接收之间测量的。绿色和黄色线信号来自驱动和接收的单端信号。

第四章 BoardSim

一些 PCB 工具软件支持 BoardSim 格式转换,它们是 :Accel EDA、Cadence Allegro、Mentor BoardStation、PADS PowerPCB、Specetra DSN、Zuken CR-3000、Visula / Cadstar for Windows。

打开“ DEMO.HYP ”文件进行 BoardSim 分析。demo 板虽然简单,但是包括了许多混合技术:过孔、表面封装、线宽等元素。该板没有完全完成布线。板上正面的元件是黑色虚线,背面的元件为灰色虚线。

这块板上有许多表贴电阻、电容还有一些连线,但是如果还没有进行仿真它们是看不见的。

4.1 快速分析整板的信号完整性和 EMC 问题

BoardSim 包括了一个有力的,称为“ Board Wizard ”的“ 批 batch-mode ”工作模式。在一个单一的操作中使得你扫描全部或者部分 PCB 板。“Compliance Wizard” 功能允许你详细的、有选择地进行网络仿真。如果你不知道你的板子问题出现在那里,先用“ Board Wizard ”进行快速仿真是最理想的。下面我们将集中讨论这方面的实例。之后再详细介绍“Compliance Wizard” 功能。

使用“ Wizards/Board Wizard ”对“ DEMO.HYP ”进行快速整板仿真(默认上升下降沿时间为 2nS) 4.2 从“ Wizards ”菜单选择“ Board Wizard ”后,出现 Board Wizard 对话框:



令所有设置均采用默认值, Leave all of the check boxes set at their defaults. 在 Quick Analysis 栏有 5 个选项选中。执行“ Next ”直到出现“ Finish. ”, 开始仿真,之后弹出报告框。

4.2 检查报告文件

报告文件中使用 搜索违反信号完整性的地方。按下此按钮,将在 报告中多次指出可能出现完整性问题的地方。现在在报告中找到“data1d”网络。见表 4.1,指出该网络没有终接电阻、没有

驱动定义、

图 4.1 Borad Wi zards 部分窗口

网络太长等问题。现在退出报告窗口。

NET = data1d	SIGNAL-INTEGRITY	STATISTICS

total receiver capacitance ... 23.6 pF		
effective net Z0 61.5 ohms		
termination type No termination found		
Net has no driver assigned!		
Using default driver rise/fall time		
Use driver IC model for more accurate results		
TERMINATION	VIOLATIONS	

** Warning(Severe) **		
Net too long!		
found length 004.155 in		
max. recommended length . 002.230 in		

4.3 对于时钟网络详细的仿真

这次使用“Compliance Wizard” 功能进行仿真,将给出该网上所接收 IC 有管脚上的报告。该板只有两个时钟网络,仅以此为例进行。

Note: 使用“ Compliance Wizard ”功能不仅仅可以处理信号完整性问题,还可以处理交出干扰和 EMC 问题。

4.4 运行详细仿真步骤:

a) 从“ Wi zards ”菜单选择“ Board Wi zard ”,在 Qui ck Analysis 区域关闭所有快速仿真项目(五个选择框)。在 Detailed Simulations 区域只允许仿真信号完整性。按下 Next。

b) 在“ Signal Integrity Options ”区域选择前三个选项 (Fast-Strong, Typical, and Slow-Weak), 第四项(Run at High Accuracy)不选。按下 Next 按钮。

c) 在接下来的窗口中点击“ Nets Spreadsheet ”按钮打

	Net Name	Width (mils)	Length (inches)	SI Enable
1	clk	10.00	7.58	<input checked="" type="checkbox"/>
2	clk2	10.00	0.30	<input checked="" type="checkbox"/>

图 4.2 电子数据表局部

开电子数据表。

d) 见表 4.2 找到“clk”和“clk2”,在 SI Enable 区域点击一次表示允许,将出现红色对钩。

e) 将这两个网络的 SI Pin Delay Max 值改为 2.5 ns。然后在表的文件菜单选择 Close 关闭。再点击 Next 按钮，直到 Finish。(这样就确定了采用详细仿真目标是 Clk 和 Clk2 两个网络。)

f) 运行详细仿真时钟网络以后的报告分析：

- 网络上 IC 的每一个脚单列一行
- 并且指出是输入还是输出
- 显示了上升沿和下降沿的最大/最小值延迟
- 每个接收管脚上升/下降沿的过冲电压超过 DC 的数值
- “crosstalk section” 项全部显示为 “NA” 因为本次仿真该项被关闭。
- 在错误标记列 (ERROR FLAGS) 表示了违反信号完整性的类别，此例中两个接收管脚相对于仿真前的参数设置，有过冲 (“O”) 和 延迟 (“D”)。有两种其他类别的错误此例中没有显出：failure to achieve threshold and multiple threshold crossings。

NET INFORMATION

NET = clk, n00076

SIGNAL-INTEGRITY SIMULATION RESULTS -----

Device	Pin	Dir	Delay Rise(ns)		Delay Fall (ns)		Overshoot (V)		Crosstalk(V)		ERROR FLAGS	
			min	max	min	max	rise	fall	rise	fall	rise	fall
U7.18	in		0.695	2.780	0.774	3.431	1.772	1.772	NA	NA	OD---	OD---
U9.9	in		0.998	2.848	0.942	3.487	1.544	1.544	NA	NA	OD---	OD---
U1.13	out		0.000	1.345	0.000	2.803	0.107	0.107	NA	NA	-----	-----

max. rising overshoot allowed = 300 mV
max. falling overshoot allowed = 300 mV
min. delay allowed = -5.000 ns
max. delay allowed = 2.500 ns

“Compliance Wizard” 产生两个可供其他程序使用的文件 a .CSV (“Comma Separated Values”) 包括了所有数据可被 Microsoft Excel 读取。

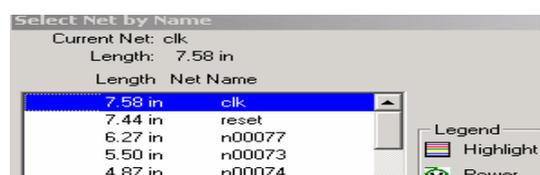
表 4.2

an .SDF (“Standard Delay Format”) file (DEMO-SI.SDF) 包括管脚延迟信息可被 Verilog 和 VHDL 读取。

4.5 时钟网络 clk 的完整性仿真

前面使用到的是 BoardSim 中的 batch-mode 方式，除此之外还有一个交互式的仿真工具象 LineSim 一样利用示波器工具可以看到仿真的波形。

a) 从总菜单的 Select 项选择 “Net by Name” 出现 Select Net by Name 对话框：

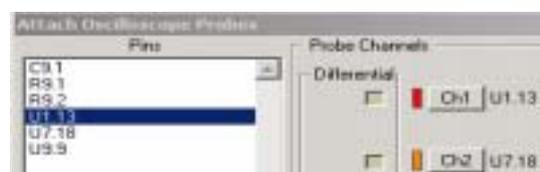


b) 在列表区选择双击 “clk”。关闭后在 PCB 板上将出现 clk 的布线图。与专用的 PCB 软件一样，如果线条在不同的层，则用不同的颜色表示。

下面使用示波器观察 U1.13、U7.18、U9.9 的波形。

图 4.2 Select Net by Name 对话框

i) 从 Scope/Sim 菜单选择属性探针：在出现的 Attach Oscilloscope Probes 对话框的列表区分别双击 “U1.13” 使之对应于 Channel 1、双击 “U7.18” 对应于 Channel 2、双击 “U9.9” 对应于 Channel 3。按下 OK 按钮。



注意 Probe Channels 中通道的不同颜色代表三个探针。(图 4.3)

ii) 然后将驱动波形改为 Oscilloscope，频率为 50MHz。然

后定义水平标度为 2 nsec/div。现在。开始运行示波器仿真：

图 4.3 选择探头目标

可以看到 U7.18(橙色)的过冲最大(图 4.4)。

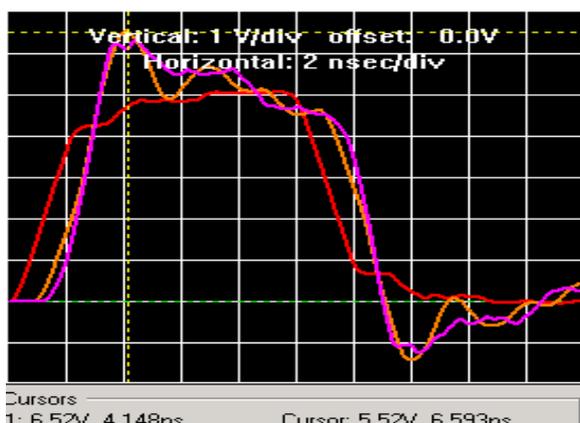


图 4.4 PCB 的 clk 网络仿真 (未修正)

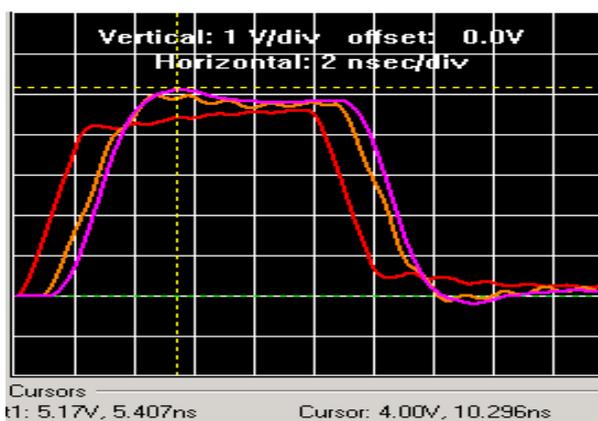


图 4.5 修正后 PCB 的 clk 网络仿真

iii) 使用类似 LineSim 仿真过程中的自动终端的功能，在 BoardSim 仿真时调整时钟网络。

从“Select”菜单选择“Component Models/Values”项，出现“Assign Models”对话框，在管脚列表框单击“R9.1”，看到其数值为 1000 欧姆。单击“C9.1”，看到其数值为 33 pF。显然前者太大，后者太小。

运行 Terminator Wizard 确定两个元件的数值是非常方便的。从“Wizards”菜单选择“Terminator Wizard.”出现“Terminator Wizard”对话框，此时 Terminator Wizard 已经在运行，并且得到了结果：建议将电阻改为 60.9 欧姆；电容改为 198.5 pF。在窗口中点击“Apply”确认。然后再次运行示波器仿真。在图 4.5 中看到过冲明显减小。

小结：BoardSim(布局布线后)仿真是针对已经布好线的 PCB 板。有“快速仿真”和“详细仿真”两种方式。快速仿真的结果以报告的形式完成。详细仿真可以选择指定的网络进行仿真，并且不但可以通过示波器观察波形，还可以运用 Terminator Wizard 进行自动终接负载数值得计算。

第五章 关于集成电路的 Models

5.1 模型 Models 以及如何利用 Terminator Wizard 自动创建终接负载的方法

前面的无论是对 LineSim 或 BoardSim 都跳过了一个重要的元素：实际驱动 IC 的模型，实际上 IC 模型的参数对仿真结果起着非常重要的作用。

一个重要的获取 IC 模型数据的方法是直接从 IC 的生产厂商那里得到相关的库文件。通过 Demo 可以了解一些相应库文件 “.REF”。

从 Edit 菜单里选择 “IC Automapping (.REF)” 打开 Demo 板的设计参考 (储存的文件是 <board_name>.REF)。在出现的 .REF 文件编辑器中，在 Part Name 栏中示出了 PCB 板上所有的元器件。

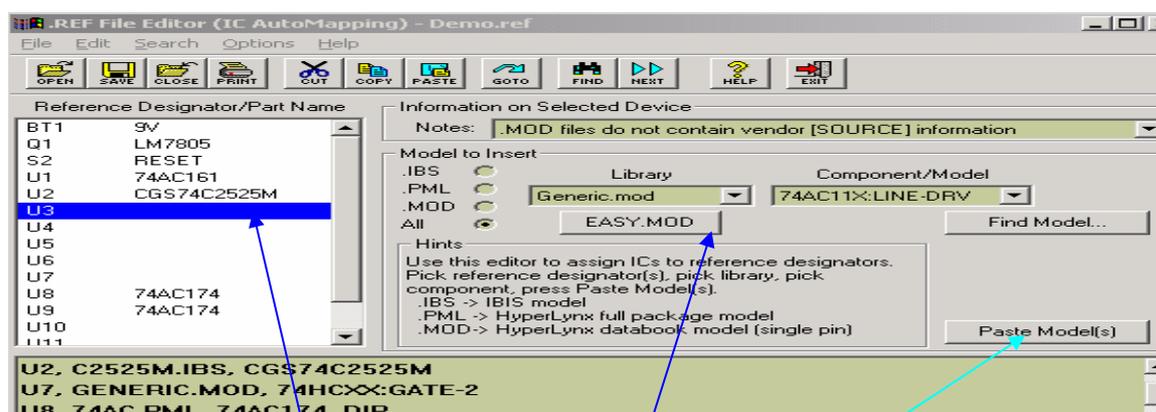


图 5.1 Edit 菜单里的 IC Automapping 对话框

在 “Model to Insert” 区域允许你选择 IC 的模型。由于在开始我们选定了 “clk” 网络，所以在编辑窗口的下方列出了与时钟网络相关的 IC，它们是 U1, U2, U7, U8, and U9。

图 5.2



5.2 修改 U3 的模型设置 (在 EASY.MOD 库里 CMOS, 5V, FAST)

- 1) 在图 5.1 窗口的 “Model to Insert” 区域单击 “EASY.MOD” 按钮，弹出模型库 EASY.MOD (图 5.2)。
- 2) 在 “Reference Designator/Part Name” 列表框单击 U3。
- 3) 在 “Model to Insert” 的下拉菜单中单击 “Component/Model” 下拉菜单选择 CMOS,5V,FAST (图 5.2)。
- 4) 单击 “Paste Model(s)” 按钮可对列表中下一个 IC 进行同样的工作。
- 5) 单击 “Save”  按钮。

图 5.2



这样当你仿真时 CMOS,5V,FAST 模型自动加到 U3 的管脚。

Note：关于 EASY.MOD 文件：HyperLynx 提供多余 6,900 IC 模型用于 BoardSim 和 LineSim；从 HyperLynx 网站可以随时随地对这些库进行升级。对于没有包含在 HyperLynx 库中的 IC 模型也有很容易的方法将其加入其中。如果你还没有得到一些 IC 的库参数，但又想进行快速仿真时，一个简单的方法是：只要你知道哪些 IC 是 CMOS 型，还是双集型并且大约了解其开关速率，在 EASY.MOD 库中进行选择即可使用。

5.3 选择模型 (管脚道管脚) Choosing Models Interactively (交互), Pin-by-Pin

有时候你只需要解决 PCB 板上几个可能有问题的网络，则有更为简单的方法，称为：pin-by-pin for only

the nets of interest (相当于前述的“映射参考设计”)。以 U1 第 13 脚为例。

Interactively choose a model for U1, pin 13 using Select / Component Models/Values:

- 1) 从“Select”菜单选择“Component Models/Values”，出现“Assign Models”对话框。

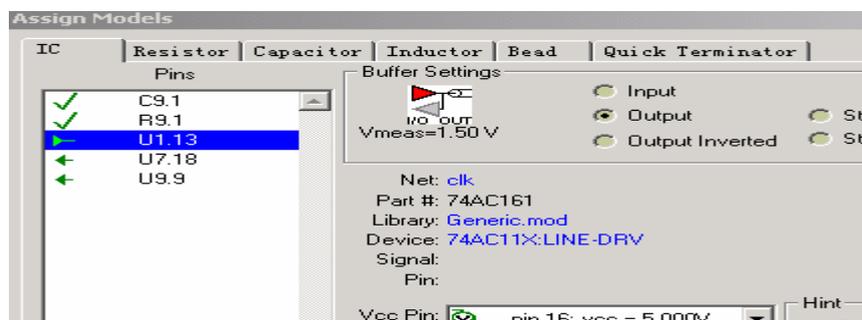
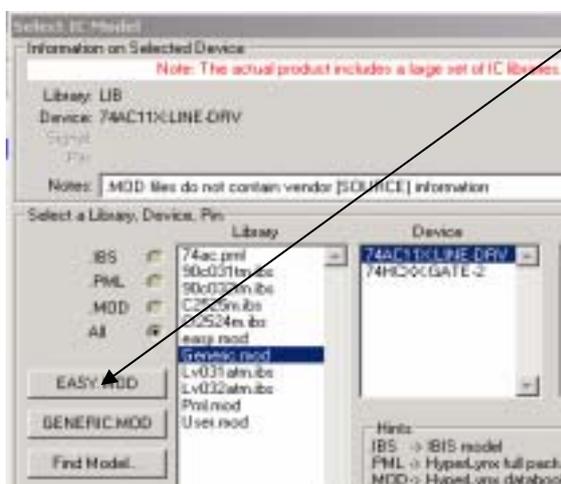


图 5.3 Assign Models 对话框

- 3) 在“Pins”列表框双击“U1.13”。出现“Select IC Model”对话框。



- 4) 单击 GENERIC.MOD 按钮弹出 GENERIC.MOD 库。



- 5) 在“Device”列表框双击“74AC11XX:LINE-DRV”，此时“Select IC Model”对话框被关闭，此时 U1, 的第 13 管脚的模型变成 74AC11 线驱动器。



图 5.4 Select IC Models

5.4 搜寻模型 (Finding Models (the "Model Finder" Spreadsheet))

由于 IBIS 库日益增加,在实际使用时对模型的查找就是一件必要的事情,虽然 Demo 中所用的模型很少,但是通过下面的例子可以了解如何使用这种方法。

- 1) 使用“Select”菜单选择“Component Models/Values”(图 5.3),双击“U1.13”出现图 5.4。
- 2) 单击图 5.4 中的“Find Model”按钮,出现“Model Finder”电子表格。
- 3) 在此表中可以进行排序、搜寻等常规工作。

HyperLynx 提供使用工具可以升级你从厂商收模型库到 Model Finder 数据库中。

5.5 例子：一个没有终接的网络

如果你需要对一个没有终接负载的网络的负载值需要建议,BoardSim 可以找到最佳类型和数值推荐给你。下面看一个例子：

- 1) 从主菜单的 Select 中选择“choose Net by Name”，然后选择名字为“data1d”的网络双击，网络就出现在 PCB 视图上。



图 5.5

- 2) 下面选择驱动 IC, 使用 Select / Component Models/Values; 设置 U3,第 20 脚为“Output”：

a) 从 Select 菜单选择 Component Models/Values (出现图 5.3); 在管脚列表区单击“ U3.20 ”点亮它; 在“ Buffer Settings ”设置区单击“ Output radio ”按钮 (见图 5.6), 然后关闭窗口。

图 5.6



b) 将驱动改为 50MHz 频率, 水平刻度 2nS/Div 后进行仿真 (当然首先定义示波器探头的位置)

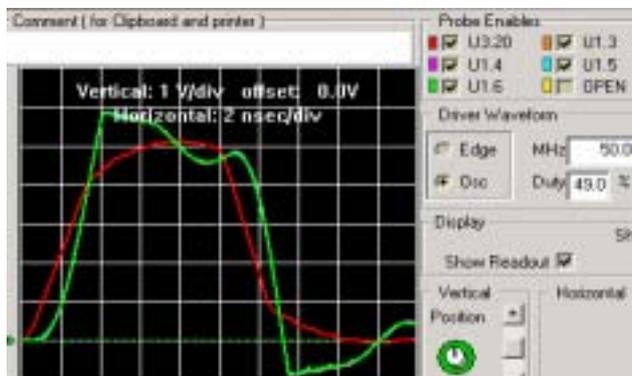


图 5.7 网络 dataId 的仿真

图 5.7 是对 U3.20 脚的仿真结果, 波形顶端形状不好。

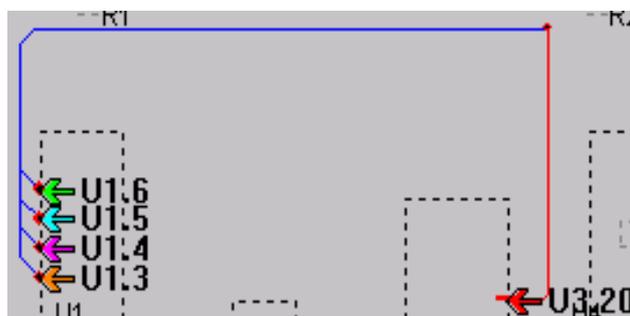


图 5.8 定义 U3.20 为输出驱动

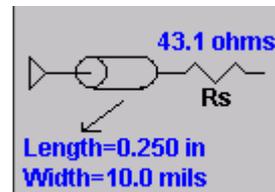
c) 修改参数: 从图 5.7 看到红色线是驱动输出, 然而接收端 (绿色线) 过冲相当大, 使用 Terminator Wizard 重新配置网络“dataId”。

运行“ Terminator Wizard”, 在报告中可以看到: 1. 指明了没有终接负载; 2. 走线太长。

d) 让 Wizard 来建立一个快速“虚拟”终端元件: 单击“ Apply Values ”按钮。然后选择 OK。此时 Terminator Wizard 已经自动创建了推荐的负载。

e) 查看这个建立的终端: 从“ Select ”菜单选择“ Component Models/Values”, 出现图 5.3, 在管脚列表区 U3.20 旁边出现一个电阻符号 Rs U3.20, 这就意味着 Quick Terminator 已经在 U3.20 建立了一个终端电阻。单击窗口上部的 Quick Terminator 标签 将出现所建立的电阻的详细参数 (右图)

图 5.9



这是一个串联的电阻, 之所以选择串联, 是因为 BoardSim 总是内在在 IC 管脚与终端之间串联方式路程最短。

再次运行示波器仿真的波形见图 5.10. 红色线依然为 U3.20 的驱动信号, 其余所有接收端的信号已经全部重叠, 过冲现象已经消除。(右图)

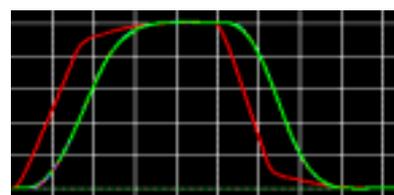


图 5.10 U3.20 终接负载

f) 产生 PCB 板变化的报告

即便你曾多次进行仿真、修改 BoardSim 也会产生一个报告, 记录所有你的改变过程。那就是从“ Reports ”菜单选择“ Design Change Summary ”项就会出现这个报告。

5.6 使用 BoardSim 对 dataId 网络进行 EMC 分析

EMC 仿真工具有两种: “ back-end verification ”和“ front-end design ”。BoardSim 是采用“ front-end ”工具, 因为这种方法运行简单而且更容易解决实际问题。

为对“dataId”网络运行“ Spectrum Analyzer”, 须将该网的参数回到终接负载以前的状态, 在图 5.3 的 Quick Terminator 标签里选择“ None ”去掉电阻。然后使用 Spectrum/Sim / Run Scope 进行分析。

a) 首先使用 Settings 按钮设置 EMC 仿真天线: 从“ Spectrum/Sim ”菜单选择“ Run Scope”, 单击“ Settings ”按钮, 出现图 2.1 窗口, 在“ Antenna and Board Position ”区域 (图 2.2), 点击关闭“ Automatically Find

Positions ”选择栏 (去掉图 2.2 中的对勾)。然后在右下方的 Probe Type 区域选择 “Antenna”(图 2.3)

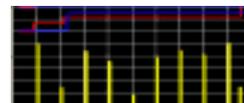
note: “antenna” 探针是用来获取网络上电磁场的频谱，地线平面是返回终点；“current (电流)” 探针是用来获取探针处的电流。

b) 在 “PCB Rotation Angle” 框键入 90 度。 然后关闭。运行 EMC...

进入 “Spectrum Analyzer” 对话框，在 Driver Waveform 区域 (图 2.1) 在频率栏中填入 “100”，然后运行。

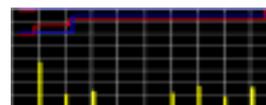
c) 检查频谱仿真结果：尽管图 5.11 中的黄色频谱线没有超出规定，但是有一些已经很接近了。如果实际的设计就是这样，那么将很有可能出现问题。

图 5.11



e) 采用 5.3 中的方法为 dataId 网络建立一个终接负载后，再次运行 EMC 方针的结果见图 5.12，显然电磁辐射大为改观。

图 5.12



小节：本节讲述了如何为 PCB 上的器件配置仿真模型库。重点是 6.3 节通过一个没有终接负载的网络例题，讲述了如何利用 “Terminator Wizard” 为网络自动创建终接负载的方法。

第六章 BoardSim 的干扰仿真

6.1 BoardSim 干扰仿真如何工作

BoardSim 干扰仿真提供一个独特的方法对 PCB 板进行干扰仿真。对选定的网络自动判定那些网络被耦合(交互方式或批模式)。它有两种方式来判定干扰量:几何门限设定和干扰量幅度门限设定。前者是规定了一定的区域,比如,可以设定与被选择网络的线间距小于 10mil 的网络都认为是干扰网络;后者是规定了一个预定的干扰量,比如,规定凡可能在被选择的网络上产生大于 100mV 干扰的网络,就认为是干扰网络。

功能:

- 1) 快速预告哪个网络可能被干扰,自动确定攻击网络
- 2) 使用电子门限仿真比使用几何门限要快而且准确
- 3) 交互仿真,使用数字示波器准确显示受害网络上的干扰
- 4) 在批模式下产生大量仿真网络(时间、过冲、干扰),它们都被存入报告文件
- 5) 可以观察改变参数(叠层、介质层厚度、驱动 IC 速率、驱动阻抗、终端负载)后对干扰结果的影响
- 6) 安全设计高速总线密度使之达到低干扰、低噪声的目的
- 7) 选择终接负载尽量减少干扰

6.2 对差分信号使用 BoardSim 干扰仿真

BoardSim 干扰分析对于差分线仿真也是非常有用的,由于线到线耦合引起干扰,不相关的信号也产生差分阻抗以及其它影响差分线电气特性东西:

- 1) 在 PCB 板上确定差分对阻抗,观察叠层结构的影响,决定介质层厚度等
 - 2) 准确仿真差分信号,进入两线间的耦合,以及附近的攻击网络
 - 3) 仿真差模、共模传输或者两者共同的作用
 - 4) 设计差模-共模负载元件
- 6.3 仿真的例子:在一个时钟网络上预测干扰

6.3.1 加载本例的例题“DEMO2.HYP”

本例的例题在 Demo 文件夹里,名称叫“DEMO2.HYP”。

6.3.2 Automatically Finding "Aggressor" Nets

重要的功能是自动找出那些对选择的被害网络产生足够强度干扰的攻击网络。首先我们选择 clk2 网络(就是将它作为受害网络),然后来观察 BoardSim 干扰分析认为那些网络可能是攻击网络。

- 1) 从 Select 菜单,选择“Net by Name”
- 2) 双击选择的“clk2”,该网络出现在板观察器上(图 1)
- 3) 从 Crosstalk 菜单选择“Enable Crosstalk Simulation”

6.3.2.1 门限为 150mV 时板观察器的干扰显示

内置 BoardSim 干扰分析寻找在选定的网络上可能产生大于 150mV 的网络,认定它们是被害网络的攻击网络。当然,可以根据需要调整这个门限值。

注意:在板观察器上只有“clk2”和它的相关网络“n00077”(它们是通过一个串连电阻连接起来的)被显示出来。这意味着 BoardSim 干扰分析认为:没有其它网络在 n00077 和 clk2 网络上可能产生大于 150mV 的干扰。(此例题是一个的密度的 PCB 板,没有干扰网络发现,实际上通过修改门限,可以改变这种现象)

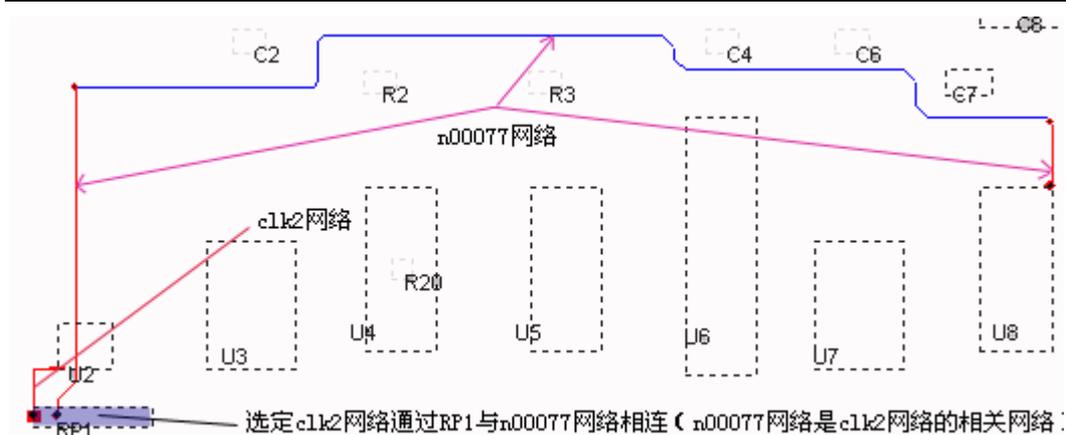
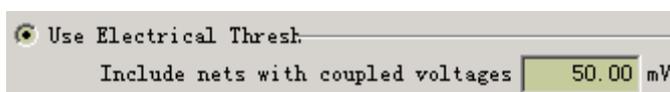


图 1 当电子门限为 150mV 时, clk2 网络受干扰 (无) 的板观察器图 (局部)

6.3.2.2 门限为 50mV 时板观察器的干扰显示 (图 3)

1) 从 Crosstalk 菜单, 选择 “Crosstalk Thresholds”, 出现设置窗口 (图 2)



2) 确认使用 “Electrical Thresholds 电子

门限” 单选钮被选中, 然后在输入框中将 150mV 改为 50mV。 图 2 门限设置窗口

点击 ok 后, 板观察器上将显示出较多的网络, 其中虚线网络代表了可能的攻击网络 (对 clk2 而言)。然后使用 “Reports/Net Statistics” 观察准确的攻击网络:

1) 从 Reports 菜单选择 “Net Statistics”, 打开对话框

2) 在关联网络区域记录了网络列表。其中 “setsec,” “data1d,” 和 “reset” 网络对于 clk2 来讲是攻击网络, 它们用 “by coupling” 来标记。“n00077” 网络没有被耦合, 因为它被视作 clk2 的关联网络。

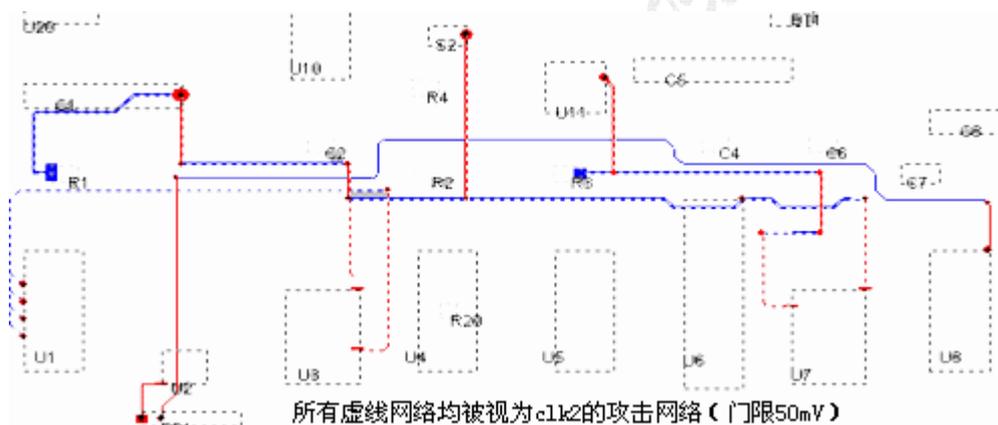


图 3 图 1 门限为 50mV 时, clk2 网络受干扰 (所有虚线网络) 的板观察器图 (局部)

6.3.3 为仿真设置 IC 模型

干扰仿真期间, BoardSim 有能力仿真任意数量的攻击网络和受害网络, 其中任意一个都可以被设置为激活的开关状态或者静态 (常高、常低)。但是如果将受害网络设置为静态, 则对于波形观察更为有利。

1) 从 Select 菜单选择 “Component Models/Values”, 出现模型定义窗口 (图 4)

2) 在 Pins list 区域, 注意一些管脚边上有耦合标记 , 表示它们是攻击网络, 受害网络前没有这样的标记。

3) 受害网络驱动 IC 是 U2.1, 点击它, 使它激活 (高亮), 在 Buffer 区域选中 “Stuck Low” 按钮

4) 激活 U11.6, 将当前的 Busser 特性从 “Input.” 变为 “Output”

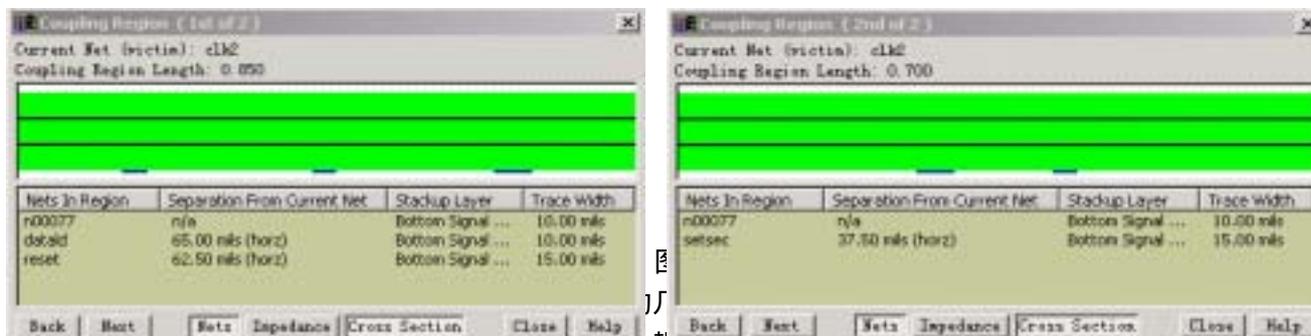
5) 重复第 4 步, 将 U3.20 的 Busser 特性从 “Input.” 变为 “Output”

6.3.4 查看在耦合区域里干扰实在什么地方产生的

1) 从 Crosstalk 菜单选择 “Walk Coupling Regions”



- 2) 用鼠标移动对话框, 放到不影响观察网络的地方 图 5 实际发生耦合区域 图 6 第二个区域
 - 3) 在板观察器上, 耦合区域是用白色连线、黄色方框为端点标志的区域 (图 5)
 - 4) 在 Coupling Region 对话框点击 “Next” 按钮, 将显示出另一个耦合区域, 直到出现第一次出现的耦合区域再次出现, 就将所有产生耦合的区域全部显示出来。图 6 是本例的第二个耦合区域 (只有两个)。
- 图 7 和图 8 是分别对应图 5 和图 6 的 Coupling Region viewer 窗口:



的信息加入对话框。在这 1 间半的时间里, 至少有 6 个耦合区域被显示出来, 在关闭的时候, 至少有 6 个这样的区域是不足为奇的。

6.3.5 驱动 IC 压摆率影响干扰和攻击网络

当 BoardSim 确定一个网络是否是 clk2 的攻击网络时, 它有许多因素要考虑: 线距、介质层厚度、IC 模型等等。准确的讲, 干扰信号中 “forward” 部分与攻击网络的 IC 驱动模型的转换速率有很大关系。速率越快影响越大。

- 1) 从 Select 菜单选择 “Component Models/Values” 定义模型窗口出现
- 2) 在 Pins 列表区双击 U3.20, 出现 IC 模型选择窗口
- 3) 在 Device 列表窗口双击 CMOS, 5V MEDIUM (较之前面例题中 IC 的速率要慢), 并关闭窗口。
- 4) 此时攻击网络 “datald” 在板观察器里消失, 原因就是 IC 模型的速率变慢, 不满足 50mV 门限要求。

6.3.6 电气门限对比几何门限

总的说, 有几种方式可供干扰仿真选用, 比如, 几何门限, 就是事先规定好一个几何 “区域”, 凡是落在这个区域的网络都被认为是攻击网络; 再有就是上面例题使用电气门限。如果选择太多的攻击网络仿真, 将大大降低仿真效率 (对计算机要求也特别高), 最好只选择真正对被害网络产生关键影响的网络进行仿真。通常这样的网络产生在邻近被选择网络的两边上, 但是高速驱动会使产生同样干扰的线距参数增加, 然而很低速率驱动的攻击网络即使紧邻受害网络, 它也不会产生多大的干扰。这种情况下, 如果使用几何门限, 那么这个线距究竟该如何确定呢? 而使用电气门限方式就没有这样的问题, 只要是超过了给定的门限值, BoardSim 会摒弃几何因素, 不管线距是多少, 只要它可能在受害网络上产生高于门限噪声的网络, 就被认为是攻击网络。

虽然 BoardSim 干扰分析内置、并推荐使用电气门限的方式仿真, 但是它仍然支持几何门限方法。

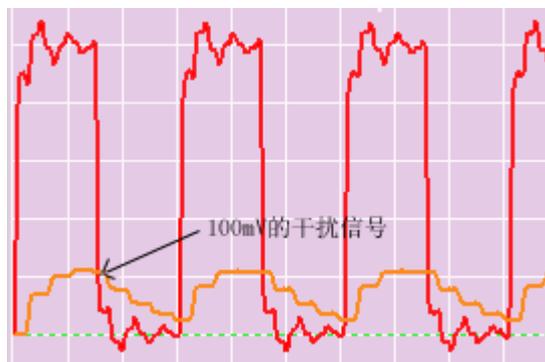
6.3.7 用交互式仿真 “clk2” 网络

- 1) 从 Scope/Sim 菜单选择 “Run Scope”, 出现数字示波器, 并点击 Probes 按钮
- 2) 在 Pins 列表双击这些管脚: U8.9, U11.6. (U8.9 在被害网络上接收 IC, 改变 IC 模型为 74AC174, 并设置成常低状态。U11.6 在攻击网络 “setsec” 的 IC 驱动, IC 模型选择 Fast) 然后点击 OK。

图 9 干扰信号

- 3) 运行仿真。(图 9)

6.4 快速仿真: 对整个 PCB 板作出干扰强度报告



令人疑惑的是，如果在一块很大的板子上有几百条网络，全部运行它们是不可能的（太费时间），如何找到那些确实需要仿真的网络呢？

这里有一个方法：第一步要产生“干扰强度报告”它可以快速对板上所有网络的干扰值作出估计；第二步是使用详细的批模式仿真，它可以产生按干扰量大小排列的报告文件。这部分介绍第一步的相关信息“干扰强度报告”，一般来讲这是实际应用时的第一个步骤：

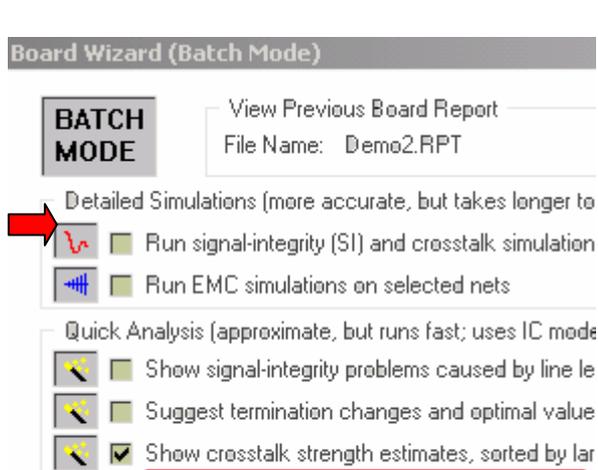


图10 批模式干扰仿真首页设置：只选干扰强度一项

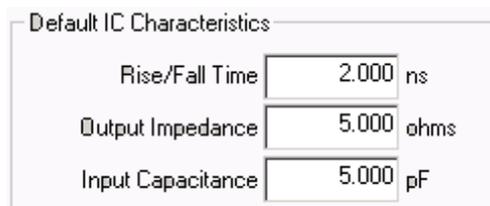


图11 第二页设置：同意默认设置

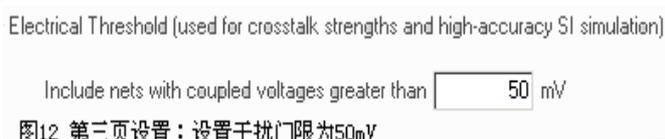


图12 第三页设置：设置干扰门限为50mV

- 1) 从 Wizards 菜单选择“Board Wizard”，打开 Wizard 的首页
- 2) 在这页除了在快速仿真区的“show Crosstalk Strength Estimates”项，将其余全部关闭。（图 10）
- 3) 点击 Next，出项第二页，在该页上，同意“Default IC settings”。（图 11）
- 4) 再次点击 Next，出现第三页。在此设置电气门限：50mV。（图 12）
- 5) 第三次点击 Next 后，点击“完成”按钮，将产生报告文件。

报告是按照合计干扰值由大到小排列，此例中：

i) NET = clk2

ELECTRICALLY ASSOCIATED NETS (关联网络)

net = n00077

AGGRESSOR NETS (Estimated peak crosstalk)

setsec 128 mv

datald 65 mv

reset 63 mv

Sum of the two strongest aggressors . (总和) 193 mv

ii) NET = rhrs1

Sum of the two strongest aggressors 191 mv

iii) NET = en

Sum of the two strongest aggressors 183 mv

...

6.5 运行详细的批模式干扰仿真

作为一个例题使用了批模式方式仿真，结果 clk2 是我们必须加以注意的唯一一个网络，就可以用交互方式仿真了。但是，如果有大量的这样的网络，可以采用详细仿真中的电子表格功能完成选择需要仿真的网络（同时可以直接设定门限值）

- 1) 从 Wizards 菜单选择“Board Wizard”，在首页的“Detailed Simulations”区域，允许第一个选择框“Run SI and Crosstalk Simulations on Selected Nets”，并且屏蔽其它所有选项。图 10 中红色箭头所指的选择项。然后执行下一步 Next。
- 2) 在 SI Options 区域，允许仅仅允许“Fast/Strong”驱动 IC 模式；在 Crosstalk Options 区域允许

“enable Victim, Stuck Low”; 并且屏蔽其它所有选项。(图 13)

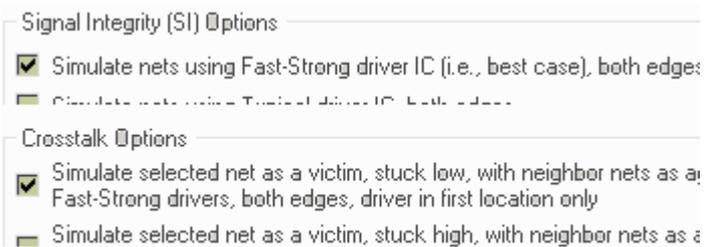


图13 详细仿真设置第二页

3) 在此页的右下方找到并点击“spreadsheet”按钮，打开电子表格。

4) 由于我们只对 clk2 网络感兴趣，在表中“SI Enable”列点击 clk2，同时它的关联网 n00077 也被选中。(见图 14)

图 14 在电子表格里选中需要的网络

2	clk2	10.00	0.20	<input checked="" type="checkbox"/>	300	300	1000.000
25	n00077	10.00	6.27	<input checked="" type="checkbox"/>	300	300	1000.000

5) 找到“Crosstalk Max”列，将原内置门限 150mV 改成 50mV。

6) 在电子表格文件栏选择关闭

7) 后面的处理同前面“快速仿真”例题相同

运行后将打开报告文件，里面包括关于 clk2 网络的详细数据：信号完整性、干扰现象。“setsec”和“reset”网络被认定是攻击网络，数据后面有一个警告，指出“reset”网络没有 IC 驱动模型（可以帮助你检查 IC 模型设置是否存在错误）。还给出了从驱动 IC 到接收管脚到管脚的上升/下降沿和时延数据，也给出了最大的过冲以及峰值，如果存在超出门限的情况，报告将给出警告。

BoardSim 不仅可以找出干扰问题，还可以修正它们。有很多方法可以减小干扰：选择最佳的驱动、改变叠层结构等。比如此例中如果将介质层厚度减小到 5mil，结果就可以大为改善（54mV）。

第七章 关于多板仿真

如果想了解多板仿真的内容，需要你对整个的 BoardSim 的各个使用环节已有足够的了解。在现代设计里，一个设计往往由几个 PCB 板组成，典型的“主板”与“内存条”就是一个例子。

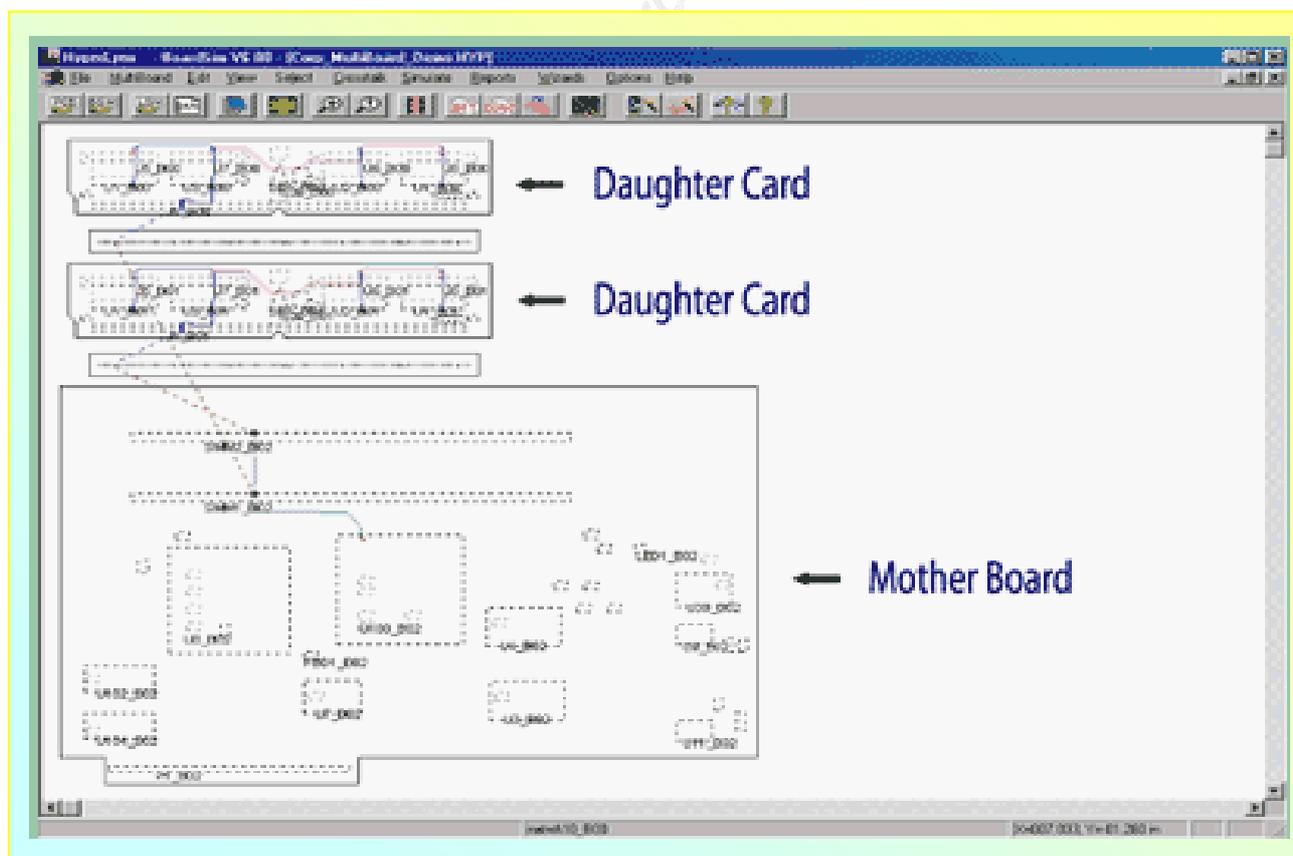
BoardSim 现在具有了加载多板、连接器以及对其进行仿真的能力。每一块板子或是由它们的常规的 BoardSim 文件 .HYP 确定；或是由对应的 IBIS 模型的、被称为“.EBD”文件确定。如果所有的板子都是你自己设计的话，那么在加载时，你更适合用 HYP 文件调用它们。如果一些板子来自第三方（内存条），那么第三方应该可以提供 .EBD 文件。

注意：EBD 格式是 IBIS 规范的一种格式，众所周知，IBIS 实际就是 IC 缓冲器特性文件，而它的 EBD 格式文件，则表示了一种连接关系，允许任意连线被接到 IBIS 模型上，用来代表一块 PCB 板，或者一个复杂的 IC 封装。

.HYP 文件与 EBD 文件之间主要的不同是：

HYP 文件是物理性的：它包括详细的布线、叠层等等。EBD 文件存粹是一个当作传输线，起连接作用的电特性文件：它包括已经计算出来的电感、电容、时延和阻抗值。HYP 文件的连线是实际可见的，EBD 却不能，因为它没有板物理信息。然而两者中任何一种在多板仿真中，可以被用来指出主板与子板连接器的影响。

7.1 多板仿真例题，检查交叉在两块板子上网络的信号质量



假如你的系统包括主板和两个内存条。一些网络起始于主板通过连接器连到内存条，并且你要分析这

些接到内存 IC 上的传输线的 SI 特性，让我们看看应该如何操作：

为了简单起见，我们直接加载一个已经存在的多板项目 "DEMO_MULTIBOARD.PJH"。

1. 在 BoardSim's MultiBoard menu, 使用 "MultiBoard > Open MultiBoard Project" 加载多板项目
2. 在文件菜单双击 "DEMO_MULTIBOARD.PJH" (".PJH" 文件存储了关于多板项目的信息：它指向构成这个项目的 HYP 文件) 如果对早期的板子弹出 "save" 对话框，点击 Yes。BoardSim 在这个项目中加载每一块板子，见上图。

7.2 浏览在多板向导中查看建立多板项目的方法

1. 在 MultiBoard 菜单，选择 Edit MultiBoard Project。 打开 MultiBoard Project 向导
2. 在向导的第一页列出了该项目中所有的板子。向项目中添加一块板是很容易的：只要点击 "Insert" 按钮并选定板子的 HYP 文件即可。这个例子包含一个主板，和两个内存条模型的拷贝。注意：在每一个板子的旁边加有注释：.HYP-文件名；在后面的 BoardSim 对话框中我们将可以看见这些标签。点击 "Next"
3. 向导的第二页显示了板之间的连接。在连接列表框，主板的 J1 被连到接插件 PCB #1 的 J1 上，主板的 J2 被连到接插件 PCB #2 的 J1 上。对于每两个连接器来讲，它们管脚的名字是匹配的，在连接列表栏中，要求每一条引线是的影射关系是唯一的；BoardSim 自动完成映射。如果连接器管脚名不匹配，或者连接器两边管脚不对称，有一个方法列出额外的连接关系。点击 "Next"
4. 向导第三页显示每一个板到板连接器的电特性。你可以进行修改。
5. 点击 "Cancel"，以避免再次加载该项目。

7.3 仿真一个网络 A0

1. 选择网络
2. 注意：对话框窗口顶部的文件名称此时显示 "B00 Bain Board"，这说明目前是在主板上选择网络。在列表框上方，双击网络 A0，该网络被高亮显示出来。
3. 确定示波器探针
4. 确认对话框显示的文件是 "B00 Main board"，双击管脚 U100.AE19 到探头通道 1 (驱动管脚)
5. 从文设计文件复合件对话框选择子板 "B01 Plug-in board #1"，双击管脚 "U2.20" (在子板一上接收管脚)
6. 同理选择子板二的 U2.20 管脚。
7. 点击 OK 关闭对话框
8. 在 Simulate 菜单运行数字示波器
9. 选择 "振荡器"，定义频率为 100M，开始仿真

7.4 用 EBD 模型仿真

有时候，你可能愿意使用子板的 IBIS EBD 文件进行仿真，比如主板和两个内存条。

这里没有时间说明如何使用 EBD 文件仿真，但是通常 EBD 模型是已经像 IC 模型那样被处理过了 (就像板子的 HYP 文件)。关于 EBD 文件的映射，参考 REF IC 自动映射文件的说明，就像映射其它 IBIS 模型一样。(交替的，你可以使用 QPL 文件映射一个 EBD 模型，连接共同的元件到模型。)

当自动映射了一个 END 文件并且开始仿真，BoardSim 自动在内存建立板子的映像，其效果与上面例子一样。

编者注：遗憾的是，在软件安装后并没有发现这个例题。